

図 2. $V_o > 24\text{ V}$ の標準的なアプリケーション回路図

ステップ バイ ステップ形式の設計手順

ステップ 1 – アプリケーション変数

入力: **VACMIN**, **VACNOM**, **VACMAX**, **FL**, **CIN**, **VO**, **IO**, **n**, **Z**

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
2	アプリケーション変数					
3	VACMIN			90	V	最小入力 AC 電圧
4	VACNOM			230	V	定格入力 AC 電圧
5	VACMAX			265	V	最大入力 AC 電圧
6	VACRANGE			UNIVERSAL		入力電圧範囲
7	FL			50	Hz	入力周波数
8	CIN			60.02	μF	最小入力容量
9	V_CIN			450	V	入力容量の推奨電圧定格
10	VO	40.00		40.00	V	出力電圧
11	IO	1.00		1.00	A	出力電流
12	PO			40.01	W	出力電力の合計
13	N			88.00	%	推定効率
14	Z			0.50		損失分配係数

図 3. 設計計算シートの「アプリケーション変数」セクション

入力電圧と入力周波数:

V_{ACMIN} (V)、 V_{ACNOM} (V)、 V_{ACMAX} (V)、 F_L (Hz)

テーブル 1 から入力電圧範囲と入力周波数を決定します。

地域	定格入力電圧 (VAC)	最小入力電圧 (VAC)	最大入力電圧 (VAC)	定格入力周波数 (Hz)
日本	100	85	132	50 / 60
米国、カナダ	120	90	132	60
オーストラリア、中国、欧州連合、インド、韓国、マレーシア、ロシア	230	185	265	50
インドネシア、タイ、ベトナム	220	185	265	50
残りのヨーロッパ、アジア、アフリカ、アメリカ大陸の国々及び世界のその他の国々	115、120、127	90	155	50 / 60
	220、230	185	265	50 / 60
	240	185	265	50

https://en.wikipedia.org/wiki/Mains_electricity_by_country をご覧ください。

テーブル 1. 入力電圧範囲と入力周波数

バルクの容量選択のガイダンスとしてテーブル 2 を使用します。推奨定格電圧は V_{CIN} に表示されます。

入力電圧 (VAC)	出力電力 (ワット) あたりの入力バルク容量 ($\mu F/W$)
100 / 115	1 ~ 1.5
230	0.5 ~ 1
85 ~ 265	1 ~ 1.5

テーブル 2. 推奨バルク容量

定格出力電圧、 V_O (V)

定電圧動作領域におけるメイン出力の定格出力電圧を入力します。この値は、LED 電圧の最大値より少なくとも 3 V 高くすることを推奨します。

出力電流、 I_O (A)

最大連続 LED 負荷電流を入力します。

出力電力、 P_O (W)

出力電圧と出力電流に基づいて計算された値です。

推定効率、 η

デフォルト値は 88% です。プロトタイプが完成したら、測定した効率を入力して部品を微調整します。

損失分配係数、 Z

この係数は、電源の一次側と二次側の損失の比率を示します。係数 Z を効率とともに使用して、電源段から供給される必要がある実際の電力を決定します。たとえば、入力段 (EMI フィルタ、整流器など) の損失によって電源効率は低下しますが、電源段 (トランスによって伝送) とは無関係であり、トランス設計には影響することはありません。

ピーク電力要件のない設計の推奨値は 0.5 です。ピーク電力要件のある設計には、0.65 を入力します。より高い値は、二次側損失の比率が大きいことを示します。

$$Z = \frac{\text{Secondary Losses}}{\text{Total Losses}}$$

ステップ 2 – パラメータ計算の基準

選択: **PARcalcBASIS**、**Flyback_Ind_Basis**、**Boost_Ind_Basis**

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
15	計算の基準					
16	PARcalcBASIS	Worst_Case		Worst_Case		選択した VAC に基づく計算結果 - VACNOM、VACMAX、VACMIN、または 最悪条件のみ
17	Flyback_Ind_Basis	定格		定格		選択した LP に基づく計算結果 - Min = LP_MIN、Nom = LP_NOM、Max = LP_MAX
18	Boost_Ind_Basis	定格		定格		選択した LBOOST に基づく計算結果 - Min = LBOOSTMIN、Nom = LBOOSTNOM、Max = LBOOSTMAX

図 4. 設計計算シートの「パラメータ計算の基準」セクション

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
30	指定された基準に基づいて計算された電気的パラメータ					
31	昇圧型コンバータ					
32	IBOOSTRMS			439.72	mA	昇圧 RMS 電流
33	IBOOSTMAX			1092.16	mA	昇圧 PEAK 電流
34	IBOOSTAVG			313.88	mA	昇圧 AVG 電流
35	IINRMS			673.27	mA	入力 RMS 電流
36	PF_est			0.7524		推定力率

図 5. 設計計算シートの「計算された電気的パラメータ」セクション

パラメータ計算の基準、**PARcalcBASIS**

このパラメータは、設定した入力電圧におけるコンバータの電気的パラメータに関する情報を提供します。これは、ブースト電流、FET 電流、フライバックトランス電流 (RMS、最大値、平均値)、及び力率と K_p の推定値に影響します。

K_p 、 FS_{MAX} などの重要なパラメータが最悪条件で許容範囲内に確実に収まるように、「Worst_Case」を選択することを推奨します。

フライバック インダクタンスの基準、**Flyback_Ind_Basis**

計算に使用するフライバック インダクタンスの公差を選択します。デフォルトでは、定格 (Nom) に設定されます。

ブースト インダクタンスの基準、**Boost_Ind_Basis**

計算に使用するブースト インダクタンスの公差を選択します。デフォルトでは、定格 (Nom) に設定されます。

力率の予測値、**PF_est**

力率の予測値 (PF_est) は、最悪条件の入力電圧と部品公差で計算されると低く表示されることがあります。最小入力電圧で力率を保証する必要がある場合、力率を予測する際に VACNOM を使用して計算し、プロトタイプの評価で実測値を確認することを推奨します。

ステップ 3 – 一次側コントローラの選択

入力: デバイス名、カレントリミットモード、ブレイクダウン電圧

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVFS ² PFC)
19	一次側コントローラ選択					
20	DEVICE_MODE	ハイ		ハイ		デバイス カレントリミットモード
21	DEVNAME	LYT6068C		LYT6068C		PI デバイス名
22	RDSON			1.53	Ω	100 °C におけるデバイス RDSON
23	ILIMITMIN			1.683	A	最小カレントリミット
24	ILIMITTYP			1.850	A	標準カレントリミット
25	ILIMITMAX			2.017	A	最大カレントリミット
26	POUT_MAX			55.000	W	熱特性に基づくデバイスの電力容量
27	BVDSS	自動		650	V	ピーク ドレイン - ソース間ブレイクダウン電圧
28	VDS			2.00	V	オン時のドレイン - ソース間電圧
29	VDRAIN			544.77	V	FET ターンオフ時のピーク ドレイン - ソース間電圧

図 6. 設計計算シートの「パラメータ計算の基準」セクション

デバイス カレントリミットモード、DEVICE_MODE

デバイスには、STANDARD または INCREASED の 2 つのカレントリミットオプションがあります。デフォルトでは、DEVICE_MODE は STANDARD に設定されます。コスト削減が最重要要件になっている設計では、INCREASED カレントリミットモードを選択して、より大きな電力にも同じデバイスを使用できるようにします。放熱性が許容範囲にあることを確認します。

デバイスコード、DEVNAME

LYTSwitch-6 データシートの電場場合は、非力率構成に基づいています。SVFS²PFC 回路を追加する場合は、最高効率及び熱管理の最適化のために LYTSwitch-6 デバイスの選択時に 20% の電力ディレーティングを推奨します。

ブレイクダウン電圧の選択、BV_{DSS} (V)

LYTSwitch-6 IC は、650 V または 725 V の一次側スイッチ オプションがあります。たとえば、LYT6063C は 650 V MOSFET デバイスを表し、LYT6073C は 725 V を表します。

このオプションは、デバイスコードの DEVNAME を AUTO に設定した場合にのみ利用可能です。

製品	277 VAC ± 15%	85-305 VAC	380 VDC / 450 VDC
	SVFS ² PFC による推奨定格電力		
LYT6063C / 6073C	12 W	9.6 W	20 W
LYT6065C / 6075C	24 W	20 W	32 W
LYT6067C / 6077C	40 W	36 W	48 W
LYT6068C	55 W	45 W	

テーブル 3. SVFS²PFC コンバータでの動作に基づくデバイス選択

ステップ 4 – 最小スイッチング周波数の入力:

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
37	フライバック コンバータ					
38	FSMIN	45000		45000	Hz	入力期間の最小スイッチング周波数
39	FSMAX			108744.24	Hz	入力期間の最大スイッチング周波数
40	KPmin			0.5187		PARcalcBASIS によって指定される VAC の入力期間の最小 KP
41	IFETRMS			803.16	mA	FET RMS 電流
42	IFETMAX			1864.84	mA	FET PEAK 電流
43	IPRIRMS			0.6058	A	一次巻線の RMS 電流
44	IPRIMAX			1.6647	A	一次巻線の PEAK 電流
45	IPRIAVG			0.2479	A	一次巻線の AVG 電流
46	IPRIMIN			929.59	mA	一次巻線の最小電流
47	ISECRMS			1.69	A	二次側 RMS 電流
48	ISECMAX			4.31	A	二次側 PEAK 電流

図 7. 設計計算シートの「フライバック コンバータ」セクション

最小スイッチング周波数, **FSMIN (Hz)**

図 8 に、標準的な LYTSwitch-6 + SVFS²PFC スwitchング プロファイルを示します。最小周波数は、ゼロクロスで発生し、入力とともに増大します。これは、1/2 入力サイクルの M シェイプに似ています。Switching 損失を最小化するために、FSMIN を 50 kHz 未満に設定することを推奨します。FSMAX に警告フラグが表示されている場合は、FSMIN を調整します。

最大スイッチング周波数, **FSMAX (Hz)**

このパラメータは、選択された FSMIN 及びパラメータ計算に基づいて算出された最大動作周波数です。Switching 損失を最小化するために、FSMAX は 100 kHz 未満にするのが理想です。より高い周波数も許容されますが、ベンチマーク テストにてレギュレーション、効率、及び放熱性を検証する必要があります。

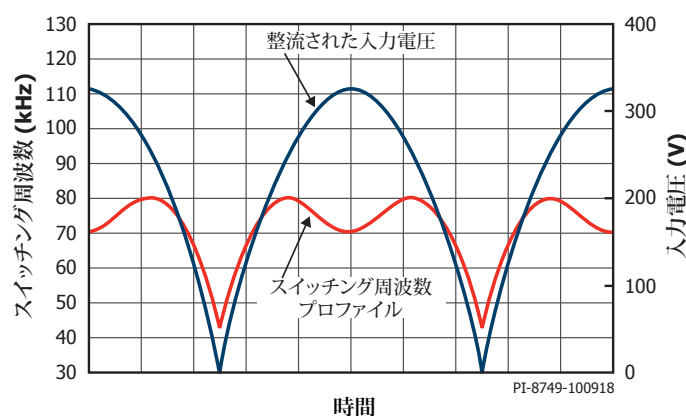


図 8. LYTSwitch-6 + SVFS²PFC スwitchング プロファイル (シミュレート)

動作モード, **KP**

KP は、不連続または連続 Switching の状態の尺度です。KP > 1 は不連続動作モード (DCM) を表し、KP < 1 は連続動作モード (CCM) に対応します。

KP < 1

連続動作モード (CCM) では、KP はリップル電流対一次側ピーク電流の比率として定義されます。

$$KP \equiv KRP = \frac{I_R}{I_P}$$

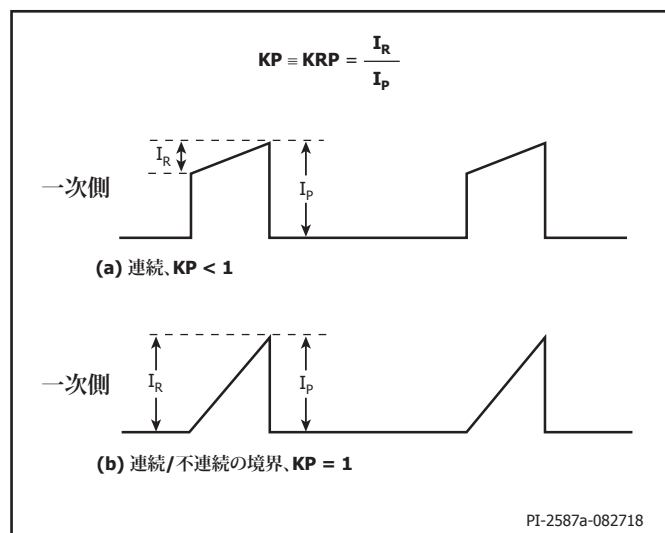


図 9. 連続動作モードの電流波形, KP < 1

KP > 1

KP > 1 の場合は、コンバータが不連続動作モード (DCM) で動作していることを示します。この場合、KP は一次側 MOSFET のオフ時間対二次側整流器の導通時間の比率として定義されます。

$$KP \equiv KDP = \frac{(1-D) \times T}{t} \\ = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

最小 KP, KP_{MIN}

KP_{MIN} は、選択したパラメータに基づく最小動作 KP に関する情報を提供します。

1 より大きい値が理想で、通常は最高の効率得られます。ただし、ユニバーサル入力、高電力設計では、1 より小さい KP を避けられないことがあります。最悪条件で KP_{MIN} を検証し、KP_{MIN} が 0.5 を超えることを目標にします。動作が連続すればするほど、PFC インダクタが CCM で動作することが多くなります。PFC インダクタが正常に動作するには DCM で動作する必要があります。したがって、KP_{MIN} が低すぎると、ブースト インダクタンス対フライバック インダクタンス比 (RATIO_LBST_LFB) も低くなり、効率が低下することがあります。

KP_{MIN} を大きくするには:

- INCREASED カレントリミットを使用する
- より大きなデバイスを使用する
- V_{OR} を大きくする
- バルク容量を増やす

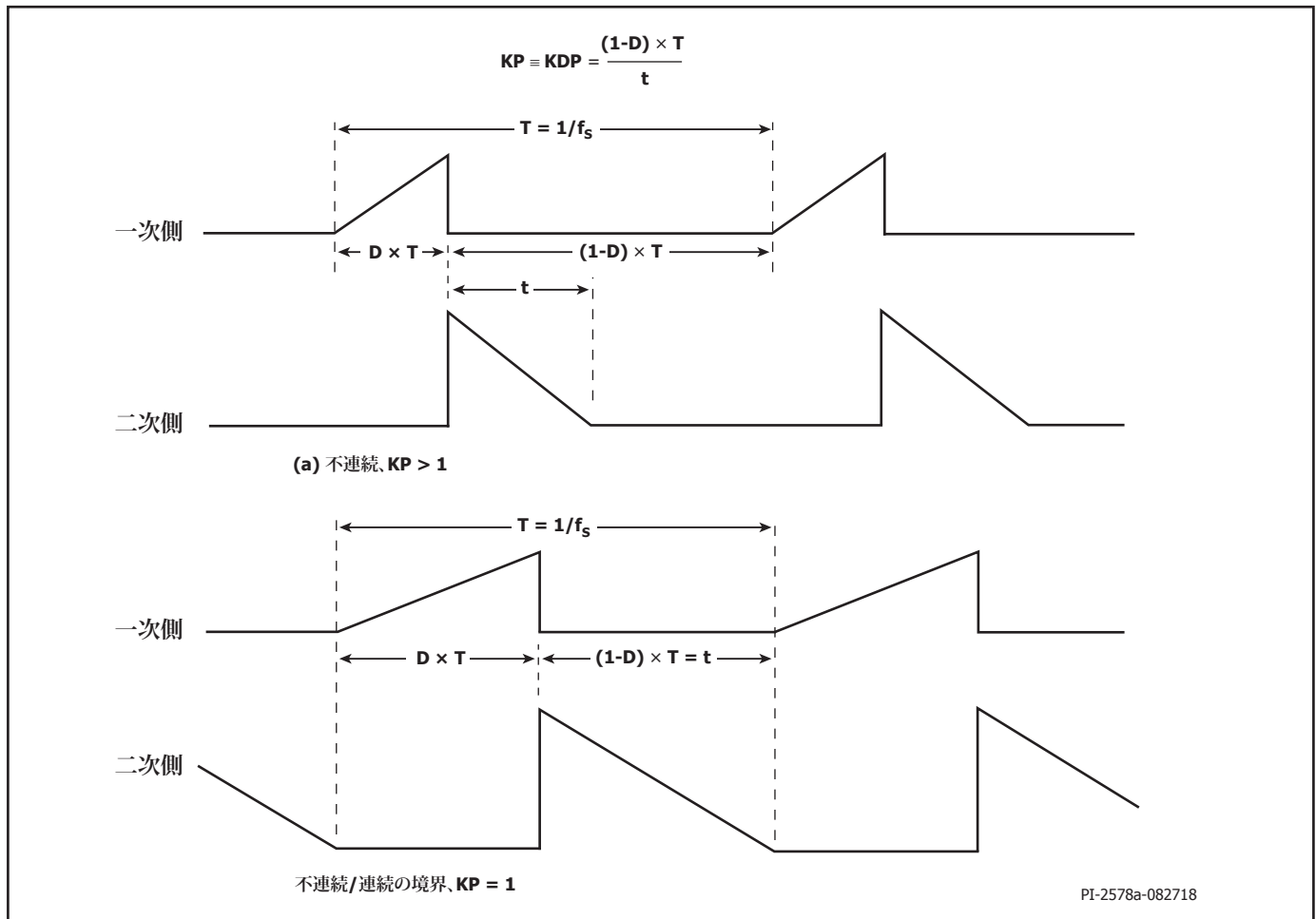


図 10. 不連続動作モードでの電流波形, $K_p > 1$

ステップ 5 – PFC (ブースト) パラメータ

入力: **RATIO_LBST_LFB**, **LBOOSTTOL**

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
49	ブースト チョークの構造パラメータ					
50	RATIO_LBST_LFB	0.8		0.8000		ブースト インダクタンスとフライバック一次側インダクタンス比
51	LBOOSTMIN			512.07	μH	最小ブースト インダクタンス
52	LBOOSTNOM			568.96	μH	定格ブースト インダクタンス
53	LBOOSTMAX			625.86	μH	最大ブースト インダクタンス
54	LBOOSTTOL			10.00	%	ブースト インダクタンス公差

図 11. 設計計算シートの「PFC (ブースト) インダクタ」セクション

ブースト インダクタンス対フライバック一次側インダクタンス比、**RATIO_LBST_LFB**

選択した FSMIN によって、必要なフライバック一次側インダクタンスが決まります。PFC (ブースト) のインダクタンスは、RATIO_LBST_LFB セルの値、ブースト インダクタンス (LBOOST_NOM) とフライバック インダクタンス (LP_NOM) の比率によって決まります。

$$RATIO_LBST_LFB = \frac{LBOOSTNOM}{LPNOM}$$

低入力電圧/ユニバーサル入力のデフォルト値は 0.8 です。高入力電圧のデフォルト値は 1 です。比率を低くすると、力率が大きくなりますが (図 12)、効率は低下します (図 13)。テーブル 4 に、低い比率を選択することのデメリットをまとめます。

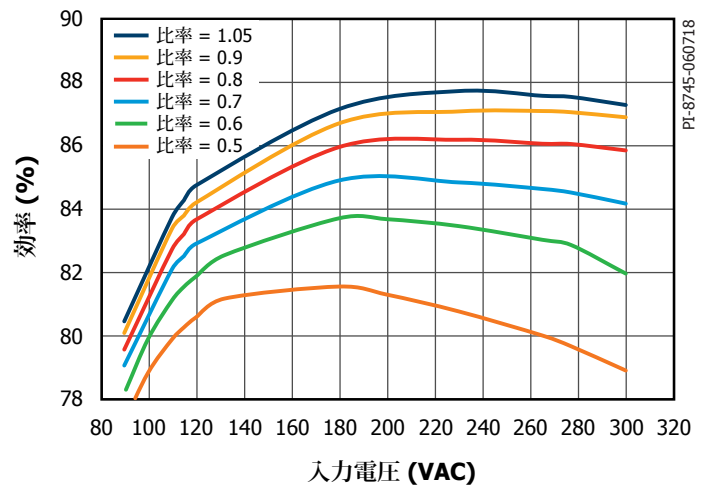


図 13. 効率対 RATIO_LBST_LFB

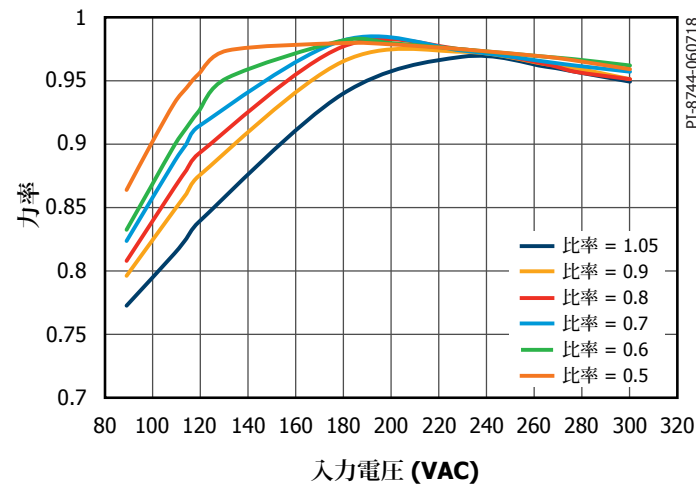


図 12. 力率対 RATIO_LBST_LFB

各種のパラメータに対する低い RATIO_LBST_LFB 値の影響	
パラメータ	影響
力率	高い
効率	低い
A-THD	低い
無負荷時入力電力	高い
無負荷時バルク電圧	高い
最大動作スイッチング周波数	高い

テーブル 4. 各種のパラメータに対する低い RATIO_LBST_LFB の影響

定格ブースト インダクタンス、**LBOOST_NOM**

標準的なブースト インダクタンスの目標値です。この値は、RATIO_LBST_LFB とフライバックインダクタンスに依存します。ブースト インダクタは、不連続動作モード (DCM) で動作する必要があります。

ブースト インダクタンス公差、**LBOOST_TOL**

このパラメータは、ブースト インダクタンスに想定される公差です。デフォルト値は 10% で、それ以外の値は灰色のオーバーライド セルに入力できます。10% はほとんどの磁性部品メーカーの要件を満たしますが、これより低くすると、製造公差を改善できます。

ステップ 6 – ブースト インダクタの設計

入力: ブーストのパラメータ (AE、LE、AL、VE、AW、BW、NBOOST、L_BOOST、AWG_BOOST)

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
56	CR_TYPE_BOOST	自動		EE13		ブースト コア
57	CR_PN_BOOST			PC40EE13-Z		ブースト コア コード
58	AE_BOOST			17.10	mm ²	ブースト コア断面積
59	LE_BOOST			30.20	mm	ブースト コア磁路長
60	AL_BOOST			1130.00	nH/turns ²	ブースト コアギャップなしコア実効インダクタンス
61	VE_BOOST			517.00	mm ³	ブースト コアの体積
62	BOBBINID_BOOST			548		Bobbin
63	AW_BOOST			22.20	mm ²	ボビンの巻線面積
64	BW_BOOST			7.40	mm	ボビン幅
65	MARGIN_BOOST			0.00	mm	安全マージン幅
66	BOBFILLFACTOR_Boost			84.21	%	ブースト ボビンの占有率
67	ブースト巻線の詳細					
68	NBOOST			107.00		ブースト チョーク巻線数
69	BP_BOOST			3735.79	ガウス	ブースト ピーク磁束密度
70	ALG_BOOST			49.70	nH/turns ²	ブースト コアギャップありコア実効インダクタンス
71	LG_BOOST			0.41	mm	ブースト コアギャップ長
72	L_BOOST			6.50		ブースト巻線層数
73	AWG_BOOST			27		ブースト巻線 AWG
74	OD_BOOST_INSULATED			0.418	mm	ブースト巻線の外径 (皮膜を含む)
75	OD_BOOST_BARE			0.361	mm	ブースト巻線の外径 (皮膜を含まない)
76	CMA_BOOST			471.92	Cmil/A	ブースト巻線 CMA

図 14. 設計計算シートの「ブースト インダクタの構造」セクション

ブースト インダクタのコアタイプ、CR_TYPE_BOOST

デフォルトでは、指定された出力電力に適している一般的に利用可能な最小コアを選択します。ドロップダウン リストからさまざまなコアタイプとサイズを利用でき、ユーザーが求めるコアがリストにない場合は、灰色のオーバーライドセル (AE_BOOST、LE_BOOST、AL_BOOST、VE_BOOST、AW_BOOST、BW_BOOST、及び BW_BOOST) を使用して、コアとボビンのパラメータを直接入力できます。

テーブル 5 に、出力電力に基づいたコア選択のガイドラインを示します。既製のドラムタイプインダクタを使用することもできますが、EMI エミッションを最小化するために、シールドタイプを推奨します。

ブースト インダクタ巻数、NBOOST

必要なブースト インダクタンスに基づいて計算されたブースト巻線の巻数です。

ブースト巻線層数、L_BOOST、ブースト巻線ゲージ、AWG_BOOST

ユーザーは、ボビンの占有率 BOBFILLFACTOR_Boost 及び巻線電流容量 CMA_BOOST を最適化するために、ブースト巻線層数の L_BOOST または AWG_BOOST のいずれかを設定できます。200 ~ 500 Cmil/A の値を推奨します。

75 kHz における出力電力	コアとボビンのテーブル								
	コア	コード	コア				Bobbin		
			AE (mm ²)	LE (mm)	AL (nH/T ²)	VE (mm ³)	コード	AW (mm ²)	BW (mm)
< 15 W	EE8.3	B-EE8-H	7.0	19.2	610	154	B-EE8.3-H	6.96	4.78
15 W ~ 30 W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
30 W ~ 45 W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
> 45 W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50

テーブル 5. 標準的なブーストインダクタに使用される一般的なコア及び電力レベル

ステップ 7 – フライバックトランスを設計する

入力: VOR, コア パラメータ, L, AWG, NS

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
77	フライバックトランスの構造パラメータ					
78	VOR	100.00		100.00	V	一次側に跳ね返る二次側電圧巻線
79	LP_MIN			640.08	μH	最小フライバック インダクタンス
80	LP_NOM			711.20	μH	定格フライバック インダクタンス
81	LP_MAX			782.33	μH	最大フライバック インダクタンス
82	LP_TOL			10.00	%	フライバック インダクタンスの公差
83	フライバックのコアとボビンの選択					
84	CR_TYPE	PQ26/20		PQ26/20		フライバック コア
85	CR_PN			PQ26/20-3F3		フライバック コア コード
86	AE			121.00	mm^2	フライバック コア断面積
87	LE			45.00	mm	フライバック コア磁路長
88	AL			5200.00	nH/turns^2	フライバック コアギャップありコア実効インダクタンス
89	VE			5470.00	mm^3	フライバック コアの体積
90	BOBBINID			BPQ26/20-1112CPFR		フライバック ボビン
91	AW			31.10	mm^2	フライバック ボビンの巻線面積
92	BW			9.00	mm	フライバック ボビン幅
93	マージン			0.00	mm	安全マージン幅
94	BOBFILLFACTOR			58.69	%	フライバック ボビンの占有率
95	フライバック巻線の詳細					
96	NP			37.00		一次巻線
97	BP			3630.38	ガウス	フライバック ピーク磁束密度
98	BM			3484.88	ガウス	フライバック最大磁束密度
99	BAC			1408.39	ガウス	フライバック AC 磁束密度
100	ALG			519.51	nH/turns^2	フライバック コアギャップありコア実効インダクタンス
101	LG			0.26	mm	フライバック コアギャップ長
102	L			2.00		フライバック巻線層数
103	AWG			26		フライバック巻線 AWG
104	OD			0.465	mm	一次巻線の外径 (皮膜を含む)
105	DIA			0.405	mm	一次巻線の外径 (皮膜を含まない)
106	CMA			467.83	Cmil/A	一次巻線 CMA
107	NB			5.00		バイアス巻線数
108	AWGpBias			32		バイアス巻線 AWG
109	NS			15.00		二次側巻線数
110	AWGS			25		二次側巻線 AWG
111	ODS			0.760	mm	二次側巻線の外径 (皮膜を含む)
112	DIAS			0.455	mm	二次側巻線の外径 (皮膜を含まない)
113	CMAS			200.71	Cmil/A	二次側巻線 CMA

図 15. 設計計算シートの「フライバックトランスの構造」セクション

跳ね返り電圧、VOR

このパラメータは、ダイオード/同期整流 MOSFET (SR FET) の導通時間中にトランスの巻線比によって一次側に跳ね返る二次巻線電圧です。VOR は、一次側 MOSFET のドレイン - ソース電圧を制限するように調整できます。VOR は、計算シートの警告を除去するように調整する必要があります。設計の最適化のために、以下を考慮する必要があります。

- VOR を大きくすると、出力ダイオードと SR MOSFET の電圧ストレスが軽減され、場合によってはより低い電圧定格品を使用でき、効率を高めることができます。
- VOR を大きくすると、漏れインダクタンスが大きくなり、電源効率が低下します。
- VOR を大きくすると、二次側ピーク電流と RMS 電流が増加し、二次側の銅損、ダイオード、及び SR MOSFET の損失が増大して効率が低下することがあります。
- VOR を大きくすると、KP が高くなり (不連続が多い、または連続が少ない)、VACMIN 時にデバイスが深い連続動作モード (CCM) に入らないようにするために役立ちます。

上記には、例外があることに注意してください。特に非常に大きな出力電流が必要になる場合は、高効率のために VOR を低く抑える必要があります。

また、出力電圧が 15 V より大きい場合には、出力 SR FET のピーク逆電圧 (PIV) を許容範囲に維持するためにより高い VOR が必要になることがあります。VOR の最適値は用途によって異なるため、上記の要因に基づいて決定する必要があります。

定格フライバック インダクタンス、LP_NOM

トランスの定格一次側インダクタンスの目標値です。

フライバック インダクタンスの公差、LP_TOL

このパラメータは、トランスの一次側インダクタンスに想定される公差です。デフォルト値は 10% で、それ以外の値は灰色のオーバーライドセルに入力できます。10% で十分に対応できますが、さらに低い値にすると製造公差を改善できます。

フライバックトランスのコアタイプ、CR_TYPE

デフォルトでは、指定された出力電力に適している一般的に利用可能な最小コアを選択します。ドロップダウンリストからさまざまなコアのタイプとサイズを選択できます。ユーザーが求めるコアがリストにない場合は、灰色のオーバーライドセル (AE、LE、AL、VE、AW、及び BW) を使用して、コアとボビンのパラメータを直接入力できます。

75 kHz における出力電力	コアとボビンのテーブル								
	コア						Bobbin		
	コア	コード	AE (mm ²)	LE (mm)	AL (nH/T ²)	VE (mm ³)	コード	AW (mm ²)	BW (mm)
0 W ~ 10 W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
0 W ~ 10 W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
0 W ~ 10 W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50
0 W ~ 10 W	EE19	PC47EE19-Z	23.0	39.4	1250	954	B-EE19-H	29.04	8.80
10 W ~ 20 W	EE22	PC47EE22-Z	41.0	39.4	1610	1620	B-EE22-H	19.44	8.45
10 W ~ 20 W	EE25	PC47EE25-Z	41.0	47.0	2140	1962	B-EE25-H	62.40	11.60
20 W ~ 50 W	EE30	PC47EE30-Z	111.0	58.0	4690	6290	B-EE30-H	41.79	13.20
0 W ~ 10 W	RM5	PC95RM05Z	24.8	23.2	2000	574	B-RM05-V	10.17	4.90
10 W ~ 20 W	RM6	PC95RM06Z	37.0	29.2	2150	1090	B-RM06-V	15.52	6.20
20 W ~ 30 W	RM8	PC95RM08Z	64.0	38.0	5290	2430	B-RM08-V	30.00	8.80
30 W ~ 50 W	RM10	PC95RM10Z	96.6	44.6	4050	4310	B-RM10-V	45.69	10.00
20 W ~ 30 W	PQ2020	PQ20/20-3F3	62.6	45.7	2650	2850	P-2036	36.0	12.0
30 W ~ 50 W	PQ2620	PQ26/20-3F3	121.0	45.0	5200	5470	BPQ26/20	31.1	9.0

テーブル 6. 標準的なフライバックトランスに使用される一般的なコア及び電力レベル

安全マージン、MARGIN (mm)

安全マージンは、二次巻線に 3 層絶縁線を使用する場合は、デフォルトで 0 に設定されます。3 層絶縁線を使用しない場合は、230 VAC またはユニバーサル入力的设计では 3.1 を入力し、低入力電圧 (のみ) の設計では 1.5 を入力します。

フライバック一次巻線数、NP

VOR と二次側巻線 NS に基づいて計算されたトランスのメイン巻線の巻線数です。

ピーク磁束密度、BP

最大カレント リミットや 132 kHz 動作時のピーク磁束密度を制限するために、最大値 3600 ガウスを推奨します。出力短絡状態では出力電圧が低く、MOSFET のオフ時間の間にトランスがリセットされることはほとんどありません。これにより、トランスの磁束密度は通常の動作レベルを超えて階段状に増加します。選択したデバイスの最大カレント リミットにおいて 3600 ガウスに設定することで、LYTSwitch-6 IC の内蔵保護機能と合わせて十分なマージンを確保して、このような短絡状態でのコアの飽和を防止できます。

最大磁束密度、 B_{MAX} (ガウス)

軽負荷によって発生する低周波動作では、トランスの構造 (特に長いタイプのコアを使用する場合) によって可聴ノイズが発生することがあります。可聴ノイズの発生を抑制するには、通常動作の最大コア磁束密度が 3000 ガウス未満になるようにトランスを設計する必要があります。このガイドラインに従い、浸漬ワニス処理による標準のトランス製造技術を使用すると、可聴ノイズの発生を抑制できます。設計を完了する前に量産サンプルを使用して可聴ノイズ特性を評価する必要があります。

AC 磁束密度、BAC (ガウス)

BAC 値は、コア損失の計算に使用できます。

ギャップ コア実効インダクタンス、ALG (nH/N²)

コアギャップを指定するために使用します。

フライバック一次巻線層数、L

一次巻線層数は 1 と 3 の間にし、強制空冷なしの設計で 200 ~ 500 Cmil/A の電流容量ガイドラインを満たす必要があります。3 層を超える設計も可能ですが、漏れインダクタンスの増加及び物理的スペースを考慮する必要があります。

一次巻線ゲージ、AWG

オーバーライドセルを空白のままにすると、計算シートは指定された数の一次巻線層数 (L) に基づいて AWG 巻線のサイズを計算します。

一次バイアス巻線数、NB

以下の式で算出されます。

$$NB = \text{Ceiling}\left(NS \times \frac{VBIAS}{VO}\right)$$

二次巻線数、Ns

デフォルトでは、動作時のピーク磁束密度 BP が推奨最大値 3600 ガウス未満になるように、最小の二次側巻線数が計算されます。一般に、より低い動作時の磁束密度が必要な設計を除いて、オーバーライドセルに数値を入力する必要はありません。

ステップ 8 – 一次側の部品の選択

入力: 起動電圧、 V_{BIAS} 、 V_{F_BIAS} 、ツェナー クランプ

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
114	一次側の部品の選択					
115	低入力電圧					
116	BROWN_IN_REQUIRED	70.00		70.00	V	AC RMS 起動入力電圧スレッシュホールド
117	RLS			1.74	MΩ	この値の 2 つの抵抗を V ピンに直列に接続
118	BROWN_IN_ACTUAL			69.80	V	実際の AC RMS 起動スレッシュホールド
119	入力過電圧					
120	OVERVOLTAGE_LINE			290.83	V	実際の AC RMS 入力過電圧スレッシュホールド
121	バイアス電圧					
122	VBIAS			12.00	V	整流されたバイアス電圧
123	VF_BIASDIODE			0.70	V	バイアス巻線ダイオード順方向降下
124	VRRM_BIASDIODE			62.64	V	バイアス ダイオード逆電圧
125	CBIAS			22.00	μF	バイアス巻線の整流コンデンサ
126	CBPP			4.70	μF	BPP ピン コンデンサ
127	整流コンデンサのツェナー クランプ					
128	クランプの使用	はい		はい		整流コンデンサ クランプは必要ですか? はい、いいえ、または該当なし (N/A)
129	VZ1_V			200.00	V	ツェナー 1 の定格電圧 (ツェナー 2 と直列)
130	PZ1_W			1.25	W	ツェナー 1 の最小電力定格
131	VZ2_V			200.00	V	ツェナー 2 の定格電圧
132	PZ2_W			1.25	W	ツェナー 2 の最小電力定格
133	RZ			4700.00	Ω	ツェナー 1 及びツェナー 2 と直列に接続する抵抗

図 16. 設計計算シートの「一次側の部品の選択」セクション

起動電圧、**BROWN_IN_REQUIRED (V)**

起動スレッシュホールド (I_{UV+}) を超えた場合に電源がオンになる AC 入力電圧です。

入力センス抵抗、**RLS (MΩ)**

入力センス抵抗 RLS は、起動電圧スレッシュホールドと入力過電圧スレッシュホールドを設定します。一般に、2 つの抵抗 (RLS1 と RLS2) を直列にして、整流コンデンサに接続します。

$$RLS = \frac{V_{BROWN_IN_REQUIRED} \times \sqrt{2}}{I_{UV+}}$$

入力過電圧、**OVERVOLTAGE_LINE (V)**

過電圧スレッシュホールド (I_{OV}) を超えた場合に、瞬時にスイッチングを停止する AC 入力電圧です。入力過電圧ヒステリシス ($I_{OV(H)}$) に到達すると、スイッチングが再度有効になります。

$$OVERVOLTAGE_LINE = \frac{I_{OV} \times RLS}{\sqrt{2}}$$

整流されたバイアス電圧、**VBIAS (V)**

デフォルトでは 12 V を想定します。電圧は、バイアス巻線出力を一次側 (非絶縁) 補助出力としても使用する場合などに、別の値に設定できます。この電圧を高くすると、一般的に無負荷時入力電力が増加します。また、10 V 未満の電圧は推奨できません。この場合、無負荷時や軽負荷時に PRIMARY BYPASS ピンに十分なエネルギーを供給できなくなり、無負荷時入力電力が大幅に増加することがあります。

バイアス ダイオード順方向電圧降下、**VF_BIASDIODE (V)**

デフォルト値は 0.7 V です。バイアス巻線の整流に使用するダイオードのタイプに応じて変更する必要があります。

BPP ピン コンデンサ、CBPP (μF)

CBPP は、デバイスの ILIMIT_MODE を決定します。STANDARD カレントリミットには 0.47 μF、INCREASED カレントリミットには 4.7 μF を使用します。コンデンサは、電解質タイプまたはセラミックタイプのいずれかを使用できます。コンデンサを IC の近くに配置できるため、両面基板には表面実装の積層セラミック コンデンサを推奨します。少なくとも 25 V 定格電圧、X7R (またはそれ以上) のコンデンサを推奨します。

一次側バイアス回路の部品 (**CBIAS、DBIAS、RBP**)

PRIMARY BYPASS ピンには、パワー MOSFET がオフの場合に常に DRAIN ピンから電流を引き込むことによって PRIMARY BYPASS ピン コンデンサを V_{BPP} まで充電する内部レギュレータがあります。一般的に、一次側補助巻線を追加して外部バイアス回路が使用されます。これにより、IC の無負荷時入力電力を減らすことができます。

バイアス回路フィルタ CBIAS には、22 μF、50 V、低 ESR のアルミニウム電解コンデンサを推奨します。無負荷時入力電力が軽減されるため、低 ESR 電解コンデンサを使用することを推奨します。セラミック表面実装コンデンサは、機械構造上の圧電効果による音鳴りが発生することがあるため、推奨できません。

バイアス巻線整流ダイオード DBIAS には、標準リカバリ タイプまたは高速リカバリ タイプのいずれかを使用できます。前者はラジエーション EMI が低くなる傾向があり、後者は無負荷時入力電力が低くなる傾向があります。

抵抗 RBP は、一次バイアス回路が供給する電流が PRIMARY BYPASS ピンの供給電流 (I_{SSW}) より高くなるように選択します。 I_{SSW} は、次の式によって計算されます。

$$I_{SSW} = \frac{F_{SW}}{132 \text{ kHz}} \times (I_{S2} - I_{S1}) + I_{S1}$$

ここで、

I_{SSW} : 動作スイッチング周波数における PRIMARY BYPASS ピンの供給電流

F_{SW} : 動作スイッチング周波数 (kHz) — F_{SMIN} と F_{SMAX} の平均値

I_{SI} : スイッチングなしの PRIMARY BYPASS ピンの供給電流 (データシートを参照)

I_{S2} : 132 kHz における PRIMARY BYPASS ピンの供給電流 (データシートを参照)

BPP 電圧は、バイパス電流が PRIMARY BYPASS ピンの供給電流より大きい場合に 5.3 V 程度になります。BPP 電圧が 5.0 V 程度の場合、RBP を通過する電流が必要な PRIMARY BYPASS ピンの供給電流未満になることを示します。起動時を除いて、PRIMARY BYPASS ピンの電圧が 5.0 V 未満にならないことを確認してください。

RBP は、以下のようにして決まります。

$$RBP = \left(\frac{VBIAS_{NO-LOAD} - 5.3V}{I_{SSW}} \right)$$

整流コンデンサのツェナー クランプの選択

[はい] に設定すると、計算シートはツェナー定格電圧 (VZ1_V、VZ2_V)、電力定格 (PZ1_W、PZ2_W)、及び直列抵抗 RZ を計算します。

PFC ダイオード、D_{BOOST1} と D_{BOOST2}

PFC インダクタ L_{BOOST} と直列に配置される PFC ダイオード (D_{BOOST1}、D_{BOOST2}) は、MOSFET のオフ時間中に二次側に供給される PFC インダクタンスに蓄えられたエネルギーの電流パスを構成します。ただし、MOSFET がオフになると、PFC インダクタからの共振電圧振動によって、PFC ダイオードに大きな電圧振動が発生します。以下に基づいて、PFC ダイオードを選択します。

- 高入力電圧/ユニバーサル入力には、2 × 600 V の超高速リカバリ ダイオードを直列に使用します。
- 低入力電圧には、1 × 600 V の超高速リカバリ ダイオードを使用します。
- ほとんどの用途において、1 A の電流定格で十分ですが、デバイスの温度を下げるために、必要に応じて、より高い定格を使用する場合があります。

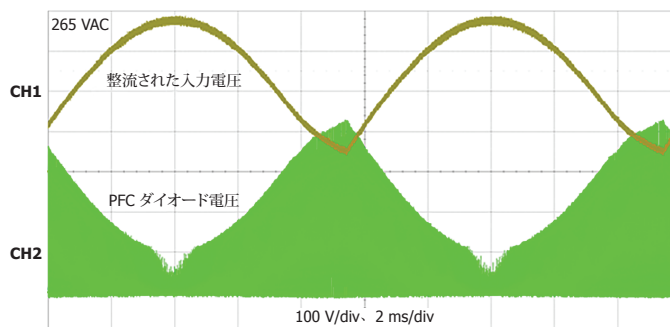


図 17. PFC ダイオードの電圧ストレス

整流コンデンサへのブロッキング ダイオード、**DBLOCK**

ブロッキング ダイオード DBLOCK は、AC 入力を整流コンデンサから分離します。整流コンデンサを充電するための電流パスを形成し、特に低入力電圧時の効率に影響します。

定格電流 1 A、定格電圧 600 V の標準的なりカバリ ダイオードを推奨します。

ステップ 9 – 二次側コントローラ部品の選択

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
134	二次側の部品の選択					
135	IS ピンの部品					
136	R_ISpin			33.60	mΩ	IS ピン接続抵抗 (非標準、1%)
137	フィードバック部品					
138	RFB_UPPER			102.00	kΩ	上側のフィードバック抵抗 (1%)
139	RFB_LOWER			3.30	kΩ	下側のフィードバック抵抗 (1%)
140	CFB_LOWER			330.00	pF	フィードバック抵抗のデカップリングコンデンサ (5 V 以上の定格電圧)
141	CBPS			2.20	μF	BPS ピン コンデンサ

図 18. 設計計算シートの「二次側の部品の選択」セクション

電流センス抵抗、RIS (mΩ)

外部電流センス抵抗 (R_ISPIN) は、定電流 (CC) スレッシュホールドを設定します。計算シートでは、指定された出力電流 IO が CC スレッシュホールドでもであると想定します。したがって、電流センス抵抗は、以下のように計算されます。

$$R_{ISPIN} = \frac{I_{SV(TH)}}{I_O}; I_{SV(TH)} = 35.9 \text{ mV}$$

電流センス保護ダイオード、DIS

このダイオードは、出力短絡においてデバイスを保護するために電流センス抵抗に接続されます。

上側のフィードバック抵抗、RFB_UPPER (kΩ)

OUTPUT VOLTAGE ピンと SECONDARY GROUND ピンの間に接続される外付け抵抗分割回路 (RFB_UPPER、RFB_LOWER) の中間点を出力電圧を制御するために FEEDBACK ピンに接続します。内部電圧コンパレータの基準電圧は、V_{REF} (1.265 V) です。

RFB_UPPER のデフォルト値は 102 kΩ です。ただし、厳しい無負荷時入力電力要件がある用途で、特に定格出力電圧が 20 V を超える場合は、無負荷消費を抑えるためにこの値を調整する場合があります。

下側のフィードバック抵抗、RFB_LOWER (kΩ)

RFB_LOWER 抵抗は、RFB_UPPER 値を使用して計算されます。

下側のフィードバック抵抗のデカップリング コンデンサ、CFB_LOWER (pF) 330 pF、表面実装、X7R セラミック コンデンサを IC の FEEDBACK ピンと GROUND ピンの近くに接続することを推奨します。

二次側バイパス ピン コンデンサ、CBPS (μF)

このコンデンサは、二次側コントローラの電圧供給デカップリング コンデンサとして機能します。表面実装、2.2 μF、25 V、X5R または X7R のセラミック コンデンサを推奨します。

FORWARD ピン抵抗、RFWD (Ω)

FORWARD ピンは、同期整流 FET (SR FET) のドレイン端子に接続します。このピンは、SR FET のドレイン電圧を検出するために使用し、デバイスのオン/オフを正確に制御します。出力電圧が SECONDARY BYPASS ピンの電圧を下回ったときに、SECONDARY BYPASS ピンのコンデンサ (CBPS) を充電することにも使用します。

十分な IC 電流を確保し、広範囲の出力電圧で動作させるには、47 Ω、5% の抵抗を使用することを推奨します。この値を変更すると、同期整流が動作するタイミングに悪影響が及ぶことがあります。FORWARD ピンの電圧は絶対最大電圧定格を超えないように注意します。FORWARD ピンの電圧が FORWARD ピンの絶対最大電圧を超えると (データシートを参照)、IC が損傷します。

出力電圧が 24 V を超える場合など、二次側補助巻線を使用する場合、FORWARD ピンは通常 RFWD を介して補助巻線に接続します。

ステップ 10 – 二次側補助巻線の設計

入力: VAUX、VF_AUX、CAUX

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
142	二次側補助巻線セクション - VO > 24 V のみ					
143	二次側補助巻線ダイオード					
144	VAUX			12.00	V	整流された補助巻線電圧
145	VF_AUX			0.70	V	補助巻線ダイオード順方向降下
146	VRRM_AUXDIODE			62.64	V	補助巻線ダイオード逆電圧
147	CAUX			22.00	μF	補助巻線の整流コンデンサ
148	NAUX_SEC			5.00		二次側補助巻線数
149	AWGSAUX			32		二次側補助巻線 AWG

図 19. 設計計算シートの「二次側補助」セクション

二次側電圧、VAUX (V)

OUTPUT VOLTAGE (VOUT) ピンの最大電圧定格は 27 V です。24 V より高い出力電圧要件の設計では、VOUT ピンと FWD ピンの検出に補助巻線を追加することを推奨します。

二次側補助巻線の電圧は、デフォルトで 12 V に設定されます。

補助巻線ダイオード順方向電圧降下、VF_AUX (V)

デフォルト値は 0.7 V です。補助巻線整流に使用するダイオードのタイプに応じて変更する必要があります。

補助巻線ダイオードの逆電圧、VRRM_AUXDIODE (V)

このパラメータは、漏れインダクタンスによるスパイクの影響を無視した場合の最大入力電圧時の補助巻線ダイオードの最大電圧ストレスです。

二次側バイパス回路の部品 (CAUX、DAUX)

二次側バイパス回路フィルタ CAUX には、22 μF、50 V、低 ESR のアルミニウム電解コンデンサを推奨します。

二次側補助巻線整流ダイオード (DAUX) には、定格電圧が 200 V の標準的なリカバリ タイプを使用する必要があります。計算される VRRM_AUXDIODE は低いかもしれませんが、コールド スタートなどの条件では、漏れによるスパイクが 100 V を超えることがあります。これは、FORWARD (FWD) ピンの最大定格電圧である 150 V を超えないようにする必要があります。わずかなパルスであってもこの値を超えると、IC の損傷の原因になることがあります。これを防止するには、通常はメイン出力整流器の R-C スナバで十分です。DAUX への R-C スナバの追加はオプションですが、漏れによるスパイクが 150 V に到達する場合は考慮する必要があります。

ステップ 11 – 出力整流器とコンデンサの選択

1	ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018	入力	情報	出力	単位	Switched Valley-Fill Single Stage PFC (SVF S^2PFC)
154	出力の部品					
155	VF			0.70	V	出力ダイオード順方向降下
156	VRRM			191.93	V	出力ダイオード逆電圧
157	COU			222.22	μF	出力コンデンサ - キャパシタンス
158	COU_VOpercentRip			2.50	%	出力コンデンサの VOUT に対するリップル (%)
159	ICOUTrms			1.37	A	出力コンデンサの推定リップル電流
160	ESRmax			232.28	mΩ	出力コンデンサの最大推奨 ESR

図 20. 設計計算シートの「出力整流器と出力コンデンサ」セクション

出力ダイオードの順方向降下、VF (V)

デフォルト値は 0.7 V です。二次側メイン出力巻線の整流に使用するダイオードのタイプに応じて変更する必要があります。

出力ダイオードの逆電圧、VRRM (V)

このパラメータは、漏れインダクタンスによるスパイクの影響を無視した場合の最大入力電圧時の出力ダイオードの最大電圧ストレスです。この漏れによるスパイクに対して、多少のマージンを考慮する必要があります。

$$VRRM = VOUT + VACMAX \times 1.414 \times \frac{NS}{NP}$$

出力整流器、DOUT

可能な限り同期整流 FET (SR FET) を使用して、最高の効率を実現します。SR ピン駆動電圧の標準値は 4.4 V です。SR FET を選択するときは、1.5 V ~ 2.5 V のゲート スレッシュホールド電圧が最適です。データシートで 4.5 V のゲート電圧に対して全温度範囲にわたって $R_{DS(ON)}$ が指定されている場合は、スレッシュホールド電圧が 4 V の MOSFET も使用できます。

計算された VRRM が 150 V を超える高出力電圧設計では、SR FET の代わりに低コストの超高速ダイオードを使用し、SYNCHRONOUS RECTIFIER DRIVE ピンを SECONDARY GROUND ピンに接続する必要があります。

出力整流器スナバ、RSR (Ω)、CSR (nF)

出力巻線の漏れリアクタンスと出力整流器の出力容量 (C_{OSS}) 間の相互作用により、一次側 MOSFET のターンオン時の巻線の逆電圧によって電圧のリングングが発生します。このリングングは、出力整流器に接続された RC スナバによって抑制できます。10 Ω ~ 47 Ω の範囲のスナバ抵抗を使用する必要があります (抵抗値が大きいと効率が大きく低下します)。コンデンサ容量値はほとんどの設計で 1 nF ~ 2.2 nF が適しています。

コンデンサ容量指定のための目標出力電圧リップル、

COU_VOpercentRip (%)

このパラメータは、最小出力容量を計算するために目標出力電圧リップルの比率 (%) を設定します。

出力容量、COU (μF)

最小推奨出力容量 (COU) は、目標電圧リップル COU_VOpercentRip に基づいて計算されます。より低い出力電流リップルが必要な場合は、より大きな容量を使用できます。実際の LED 負荷での検証が必要です。実際のリップル電流を決定するダイナミック インピーダンス特性は、LED ストリングによって異なります。低 ESR タイプのコンデンサは、一般に出力電圧リップルを軽減するために使用します。

ステップ 12 – その他の主な部品の選択

一次側クランプ回路 (DSN, RS, RSN, CSN)

一次側クランプは、最悪条件 (最大入力電圧での出力短絡など) で IC の BV_{DSS} 定格を超えないようにするために推奨します。

図 21 に、3 つの一般的なクランプ構成を示します。テーブル 7 に、各回路手法のメリット/デメリットをリストします。

入力フィルタと保護

図 22 に、LYTSwitch-6 設計に使用される標準的な入力保護部品と EMI フィルタ部品の配置を示します。

ヒューズ F1 は過電流保護機能を提供し、重大な故障が発生した場合に AC 入力から電源を遮断します。タイムラグヒューズは、起動時の整流コンデンサへの高突入電流による遮断を防止するために一般的に使用されず、230/240 VAC の入力電圧には 250 VAC 定格を使用し、277 VAC 入力電圧には 300 VAC 定格を使用します。定格電流は、最小入力電圧におけ

一般的な一次側クランプの構成

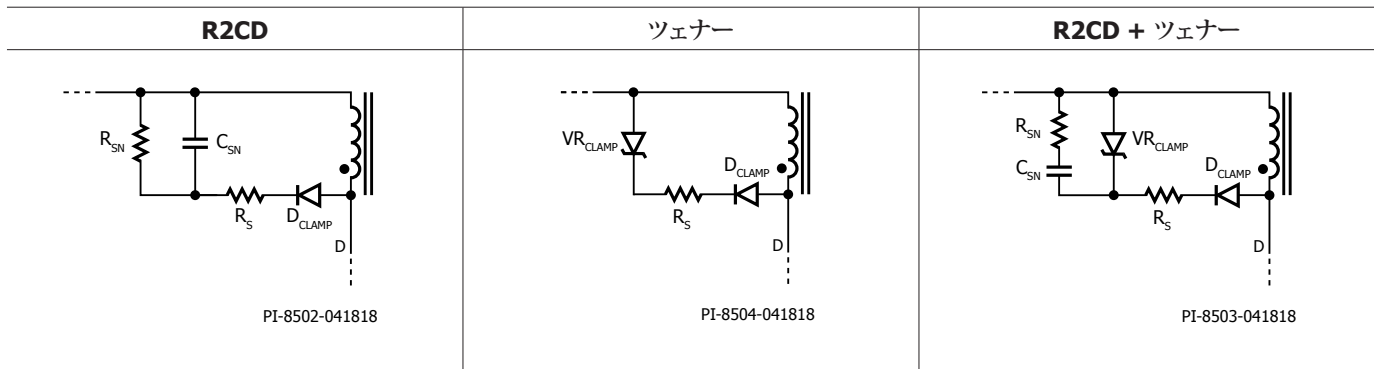


図 21. 推奨一次側クランプ部品

一次側クランプ回路

メリット	R2CD	ツェナー	R2CD + ツェナー
部品のコスト	低	中	高
無負荷時入力電力	高	低	中
軽負荷時効率	低	高	中
EMI 抑制	高	低	中

テーブル 7. 一次側クランプ回路の利点

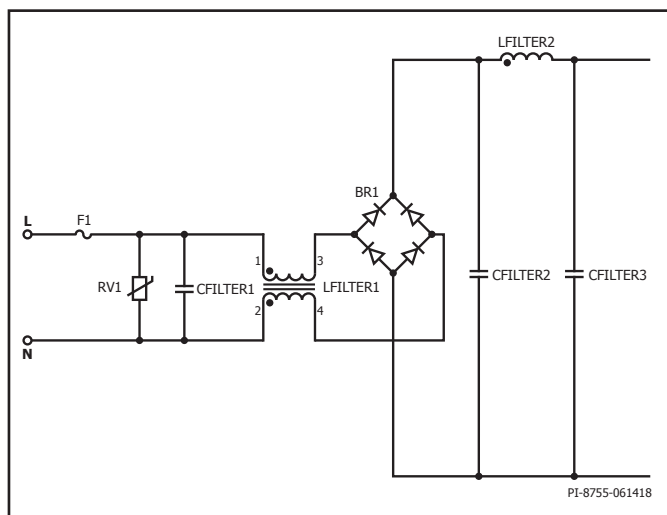


図 22. LYTSwitch-6 設計における入力フィルタの構成

る最大電流より大きくする必要があります。It 定格は、突入やサージの発生中に測定された It より大きくなっていることを確認します。

ブリッジダイオード BR1 は、AC 入力を整流します。ブリッジの定格電圧は、特に 2.5 kV のリング ウェーブ耐性が必要な場合に、1 kV にすることを推奨します。電流定格は、最大動作電流より大きくする必要があります。電力消費と温度測定に基づいて適切なパッケージ サイズを選択します。

バリスタ VR1 は、サージ発生中にユニットを保護します。その定格電圧は、最大 AC 入力電圧より大きくする必要があります。

EMI フィルタは、一般に CFILTER1、LFILTER1、CFILTER2、LFILTER2、及び CFILTER3 で構成されます。特に大きい値の $L_{FILTER2}$ が必要な場合は、ブリッジダイオードの後に CFILTER2 を配置する必要があります。入力サージまたはリング ウェーブの発生中に、LFILTER2 の励起電圧が大きくなり、ブリッジダイオードの定格電圧を超える可能性があります。

高効率を維持するために、入力容量合計を大きくしすぎないでください。フィルタ容量を決定する時の適切な近似には、10 nF/W を使用します。

アプリケーション設計時の重要検討項目

無負荷/軽負荷動作時のバルク電圧

すべてのスイッチング期間で、整流コンデンサは放電と再充電（電力供給時）を繰り返します。ブーストインダクタに蓄積されるエネルギーは出力に供給され、コンデンサの充電も行います。

無負荷または非常に軽負荷（定格出力の10%未満）の条件では、ブーストインダクタ（整流コンデンサを充電する）からのエネルギーがコンバータの要求より大きい場合、バルク電圧が上昇する傾向があります。

無負荷時にオートリスタートが許可されている場合は、内蔵の入力過電圧保護で対応可能です。ただし、負荷が0~100%で変化することがある3-in-1調光またはDALIなどの用途では、オートリスタートは許可されません。

バルク電圧の上昇を最小化するには、以下の方法があります。

1. **RATIO_LBST_LFB** 値を大きくする。図23に示すように、無負荷時バルク電圧は、比率が低くなるに従って高くなります。力率またはTHDの要件を満たすために低い比率が必要な場合を除いて、この比率を低くすると無負荷時バルク電圧に影響するため、低く設定しないことが重要です。

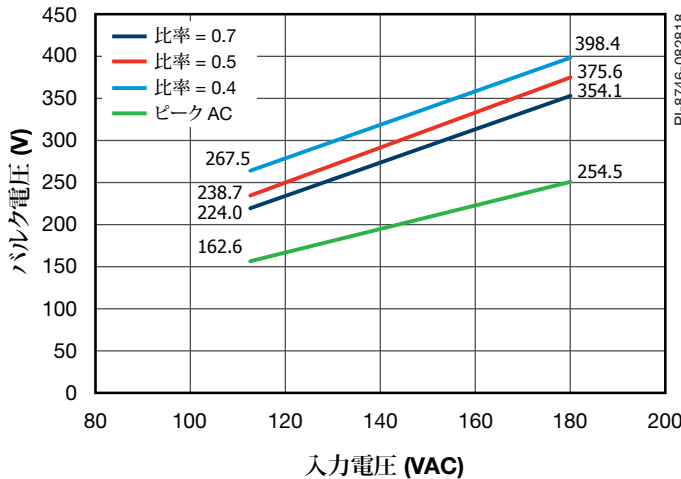


図23. 無負荷時バルク電圧対LPFC/NOM比

2. より大きな定格のコンデンサを使用する。低電力設計では、整流コンデンサの定格電圧を大きくするだけで十分な場合があります。
3. ドレイン - ソース間に **R-C-D** クランプを接続する。これはコスト効果の高い解決策ですが、効率の低下と無負荷電力の増大を招きます。

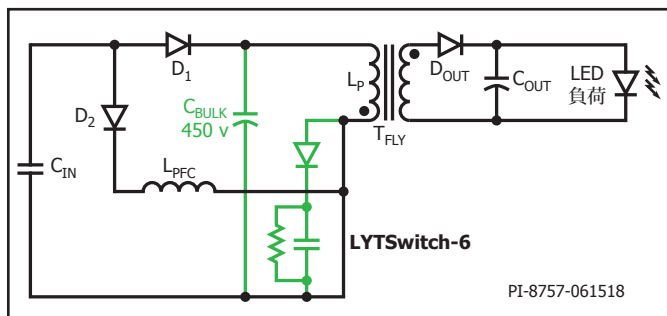


図24. ドレイン - ソース間に接続されたRCDクランプ

4. 整流コンデンサと並列にツェナー クランプを接続する。この方法では、2つの高電圧ツェナーダイオードと抵抗を追加することによって、最高の性能を得ることができます。

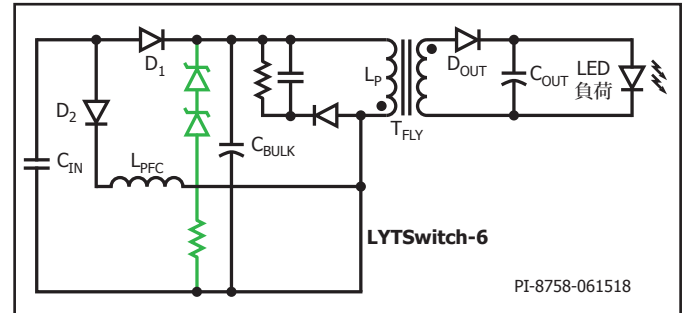


図25. 整流コンデンサに接続されたツェナー クランプ

VOUTピンとFWDピンの検出に補助巻線を使用する場合のCCM動作時の電力供給

DCMの動作では、出力電圧レベルを超えて上昇するFWDピンのピーク電圧を使用して、二次側から一次側に「オン」サイクル要求を行います。このインテリジェント疑似共振モードスイッチング機能は、CCMに移行すると無効になります。

FWDピンの電圧検出を補助巻線を介して行う場合は、補助巻線からの情報が二次側ダイオードの実際の状態に一致しないためにコントローラがCCMに入らないというリスクがあります。考えられるシナリオでは、メインの整流器が導通状態であっても、二次側コントローラがDCMになっていると判断します（FWDピン電圧が0Vを超え、整流器を流れる電流がすでに0であることをコントローラに通知する）。これが発生すると、コンバータはCCMに入ることができなくなり、電力供給が減少します。図30に、出力電流レギュレーションにおけるCCMの誤検出の影響を示します。

この状況に対処するには、以下の2つの方法があります。

1. 補助回路に標準リカバリダイオードを使用します。図27に、標準リカバリダイオードを使用した場合のFWDピンの電圧波形を示します。これを超高速ダイオードを使用した場合の同じ波形を示す図28と比較してください。低速の逆回復応答により、二次側コントローラは整流器が導通している間（CCM）にスイッチング要求を開始できます。超高速ダイオードでは、FWDピン電圧がDCM動作と想定される0Vをクロスしています。この場合、FWDピンがVOピン電圧を超えるまで、スイッチング要求は生成されません。
2. サンドイッチ補助巻線技術を使用します（図26）。二次側と補助巻線の間のカップリングにより、コントローラは電流信号を検出できるようになります。図29に、サンドイッチ補助巻線技術を使用した場合のFWDピンの電圧波形を示します。

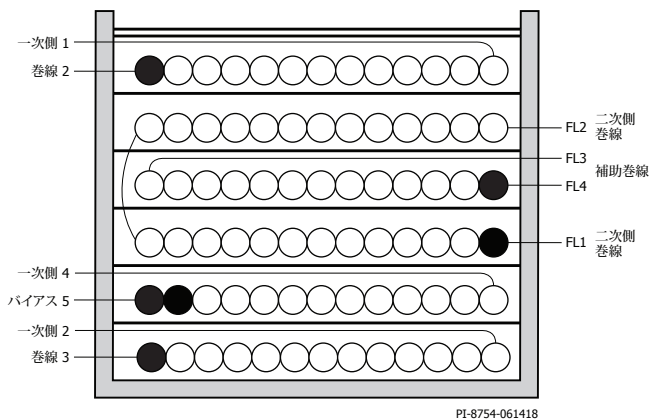


図 26. 二次側サンドイッチ補助巻線トランスの構造

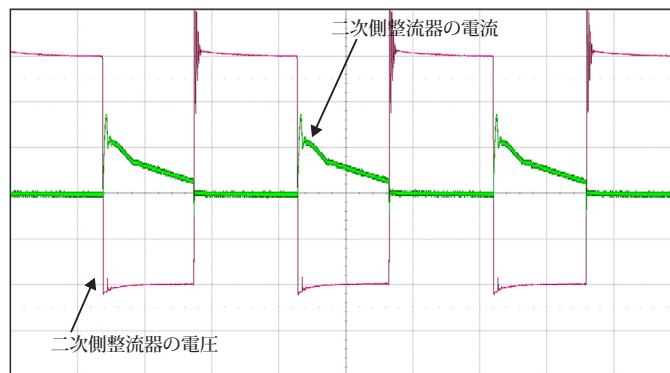


図 29. 超高速ダイオードとサンドイッチ補助巻線を使用する二次側整流器の波形

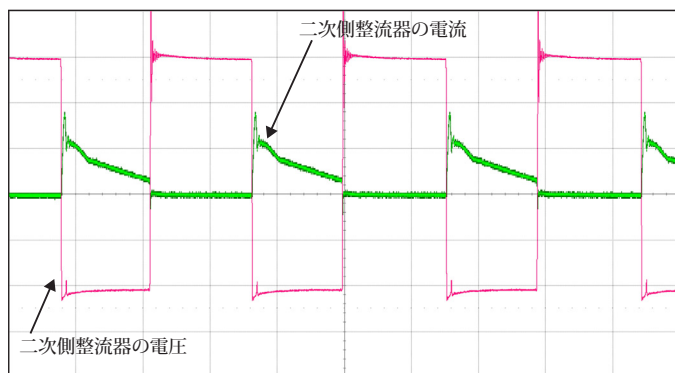


図 27. 低速リカバリ ダイオードを使用する二次側整流器の波形

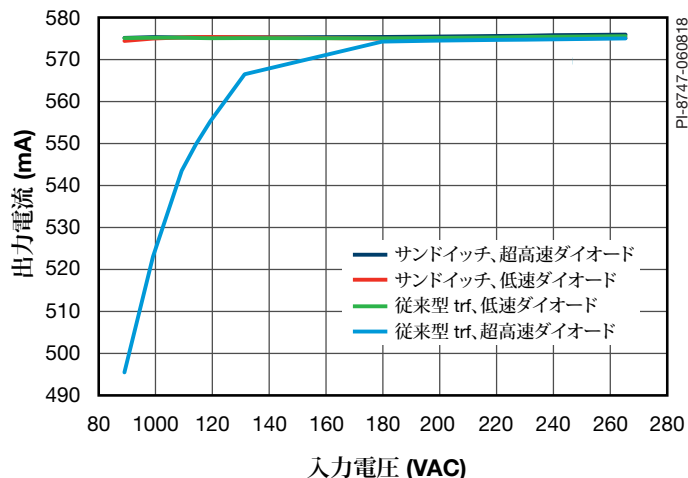


図 30. 入力電圧レギュレーションの比較

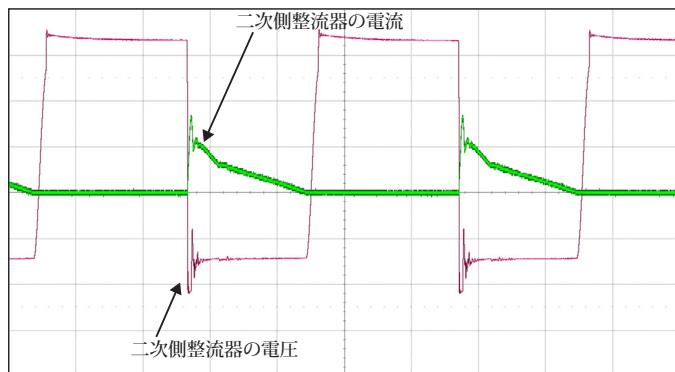


図 28. 超高速リカバリ ダイオードを使用する二次側整流器の波形

A-THD 低減のための推奨事項

- 実際の LED 負荷を使用します。
- より低い RATIO_LBST_LFB を使用します。
- VOR を変更します。KP = 1 の近傍で動作させます。
- 入力フィルタ容量を小さくし、フィルタ インダクタンスを大きくします。

力率向上のための推奨事項 (または力率に影響する要因)

- 実際の LED 負荷を使用します。
- より低い RATIO_LBST_LFB を使用します。
- 入力フィルタ容量を小さくし、フィルタ インダクタンスを大きくします。
- プースト インダクタが DCM で動作していることを確認します。
- バルク容量を大きくします。

無負荷時の待機電力削減のための推奨事項

- RFB(UPPER) と RFB(LOWER) を調整します。
- RBP 値を調整します。
- 一次側クランプ容量を小さくします。
- バイアス回路整流器 (DBIAS) にショットキーまたは超高速ダイオードを使用します。
- バイアス回路フィルタ コンデンサ (CBIAS) に低 ESR コンデンサを使用します。
- SR FET RC スナバ コンデンサ (CSR) の容量を小さくします。
- 一次巻線層間にテープ層を追加し、一次巻線と二次巻線の間に多層のテープを追加して、巻線間の容量を小さくします。

EMI 低減のための推奨事項

- 一次側と二次側の電源回路で部品を適切に配置してループ エリアを小さくすると、ラジエーション EMI と伝導 EMI を最小化できます。ループ エリアを小さくすることに注意を払ってください。
- 一次側のクランプ ダイオードと並列に小さなコンデンサを配置すると、ラジエーション EMI を低減できます。
- 抵抗 (2 ~ 47 Ω) をバイアス巻線と直列に接続すると、ラジエーション EMI を低減できます。
- 小さな抵抗とセラミックコンデンサを直列にして、一次側のメイン巻線 (コンデンサ 22 pF 未満) に接続するか、二次側メイン巻線 (コンデンサ 100 pF 未満) に接続すると、ラジエーション EMI と伝導 EMI を減らすことができる場合があります。容量を大きくすると、無負荷時の待機電力に影響することに注意してください。
- コモン モードのノイズを低減するには、一般に電源の入力にコモン モード チョークが必要になります。トランスにシールド巻線を使用しても同様の効果が得られます。伝導 EMI とラジエーション EMI を低減するために、入力にコモン モード フィルタ インダクタとともにシールド巻線を使用することもできます。
- SR FET の RC スナバの値を調整すると、高周波のラジエーション EMI と伝導 EMI を低減できます。
- 入力整流回路の後にディファレンシャル インダクタとコンデンサで構成される π フィルタを使用すると、低周波ディファレンシャル EMI を低減できます。フェライト ビーズを追加すると、最小限のコストでさらに EMI マージンを改善できます。
- ディファレンシャル インダクタの抵抗によって Q 係数が小さくなり、10 MHz を超える EMI が低減されます。これにより、5 MHz 未満の低周波 EMI がわずかに増大することがあります。
- 1 μ F セラミック コンデンサを電源出力に接続すると、ラジエーション EMI を低減できることがあります。
- 低速ダイオード ($250 \text{ ns} < t_{\text{RR}} < 500 \text{ ns}$) をバイアス整流 (D_{BIAS}) に使用すると、一般的に 20 MHz 以上の伝導 EMI 及び 30 MHz 以上のラジエーション EMI の低減に有効です。

熱管理に関する考慮事項

SOURCE ピンは IC リード フレームに内部で接続され、デバイスから放熱するための主要な経路を提供します。したがって、一点接地としてだけでな

くヒート シンクとしても機能させるには、SOURCE ピンを IC の下の銅パターンに接続する必要があります。このエリアは電氣的に安定したソース ノードに接続しているため、良好な放熱のためにできるだけ大きくできます。同様に、出力 SR FET に対しては、放熱されるパッケージのピンに接続されている PCB 面積をできるだけ大きくします。

IC の温度が絶対最大限度を超えないようにするために、基板上で十分な銅パターンを確保する必要があります。最低の定格 AC 入力電圧、最大の定格負荷で電源を動作させる場合に、IC の温度が 90 °C を超えないように、SOURCE ピンをはんだ付けする銅パターンの面積を十分に確保することを推奨します。必要に応じて、さらなるディレーティングを適用してください。

設計チェックリスト

いかなる電源設計であっても、LYTSwitch-6 を動作させるにはすべて、最悪条件で部品仕様を超えないことをベンチマーク テストで確認する必要があります。最低限として、以下の試験を実施することを推奨します。

最大ドレイン電圧 - 通常動作時と起動時に最大入力電圧とピーク (過負荷) 出力電力で LYTSwitch-6 IC と SR FET の V_{DS} がブレイクダウン電圧の 90% を超えないことを確認します。

最大ドレイン電流 - 最高周囲温度、最大入力電圧、及びピーク (過負荷) 出力電力において、起動時と定常状態でのドレイン電流波形を観測して、トランスの飽和または過剰なリーディングエッジスパイク電流の兆候がないことを確認します。すべての条件において、一次側 MOSFET の最大ドレイン電流がデータシートに指定されている絶対最大定格を下回っていることが必要です。

温度特性の確認 - 規定の最大出力電力、最小入力電圧、及び最大周囲温度において、LYTSwitch-6 IC、トランス、出力 SR FET、及び出力コンデンサの温度仕様が制限を超えていないことを確認します。LYTSwitch-6 の一次側 MOSFET $R_{\text{DS(ON)}}$ に対する部品ごとのばらつきを許容する十分な温度マージンが必要です。低入力電圧、最大電力において、このばらつきを許容するには、LYTSwitch-6 の SOURCE ピンの最高温度を 110 °C にすることを推奨します。

PCB レイアウトの推奨事項

一点接地

入力フィルタ コンデンサから SOURCE ピンに接続する銅パターンを一点接地接続にします。

バイパス コンデンサ

PRIMARY BYPASS (CBPP)、SECONDARY BYPASS (CBPS)、及びフィードバック デカップリング コンデンサは、PRIMARY BYPASS – SOURCE ピン、SECONDARY BYPASS – SECONDARY GROUND ピン、及び FEEDBACK – SECONDARY GROUND ピンに隣接して配置する必要があります。これらのコンデンサには、短い配線で接続する必要があります。

信号部品

フィードバック情報を監視するために使用する外部部品 RLS、RBP、RFB (UPPER)、RFB (LOWER)、及び RIS は、短い配線で IC ピンにできるだけ隣接して配置して接続する必要があります。

重要なループ エリア

dv/dt または di/dt が高くなる回路のループは、できるだけ小さくする必要があります。入力フィルタ コンデンサ、トランスの一次側、及び IC を接続する一次側ループ エリアもできるだけ小さくする必要があります。ループ エリア内に別のループを配置しないようにしてください。これにより、回路間の相互干渉が最小になります。

一次側クランプ回路

クランプは、電源オフ時の DRAIN ピンのピーク電圧を制限するために使用します。具体的には、RCD クランプまたはツェナー ダイオード (約 200 V) とダイオード クランプを一次巻線に使用します。EMI を削減するには、クランプ部品からトランス及び IC までのループを最小化します。

Y コンデンサ

Y コンデンサは、一次側整流コンデンサのマイナス端子とトランスの二次側巻線のいずれかの端子の間に接続する必要があります。ブロッキング ダイオードがあるために、一次側整流コンデンサのプラス端子への接続は推奨しません。

出力整流ダイオード

最高の性能を実現するために、二次側巻線、出力整流ダイオード、出力フィルタ コンデンサを接続するループ エリアは最小にする必要があります。さらに、効率的な放熱のために、整流ダイオードの端子には、十分な広さの銅パターンを確保する必要があります。

ESD 耐性

ESD 耐性は、一般に LED ドライバ用途には不要です。ただし、ESD 耐性の要件がある場合は、以下の推奨事項を考慮してください。

ESD または Hi-Pot の試験要件に適合するように、一次側回路と二次側回路の間に十分な空間距離 (8 mm 以上) を確保する必要があります。スパークギャップは、出力リターンまたはプラス端子とヒューズ後段のいずれかの AC 入力間に配置するのが最適です。この構成で、適用される安全基準の沿面距離と空間距離の要件を満たすには、6.4 mm (顧客要件によっては 5.5 mm を使用可能) のスパークギャップで十分です。この距離は、スパークギャップの電圧が AC 入力のピークを超えることがないため、一次側と二次側の距離より短くなります。

ドレイン ノード

ノイズは主にドレイン スイッチング ノードで発生します。そのため、ドレイン ノードに接続する部品は、ノイズの影響を受けやすいフィードバック回路から離して、IC の近くに配置する必要があります。クランプ回路部品は、PRIMARY BYPASS ピンから物理的に離れた位置に配置し、この回路の配線の幅と長さを最小にする必要があります。

PCB レイアウトの例

入力回路 (F1, RV1, BR1) 及び EMI フィルタ - C1, L2, C2, L3 は、di/dt または dv/dt が高いすべてのスイッチング ノードから離れた位置に配置します。

整流コンデンサ C4、一次巻線 NP、LYTSwitch-6 U4 D-S ピンで形成されるフライバック一次側ループはコンパクトにします。

COUT C37//C15、センス抵抗 R24//R43、及び LYTSwitch-6 IS-GND ピンで形成される出力ループは、二次側ループ (4) とグラウンド バスを共有しないでください。

フィードバック部品 R29、R30、C19、及び GND ピンは、センス抵抗 R24//R43 にスター配線された 1 つのグラウンド バスを共有します。

フィルタ C3、フリーホイーリング ダイオード D1+D17、T1、一次巻線 NP、及び整流コンデンサ C4 で形成される PFC は、コンパクトに配置します。

補助巻線 NB、D7、及び C10 で形成されるバイアス回路のループは、コンパクトにします。

一次側信号部品 C11、R18、R45、及び R4 は、これらが接続されている IC ピンにできるだけ近い位置に配置し、短い配線で接続します。

二次側信号部品は、接続されている IC ピンに短い配線でできるだけ近くに配置し、補助巻線 FL3-FL4、D11、及び C38 はコンパクトに配線します。

二次側巻線 FL1-FL2、COUT C15//C37、及び整流器 D10 で形成される二次側ループは、コンパクトにします。

注記

- すべてのループは独立していて、一つのループ内に別のループはありません。これにより、グラウンド インピーダンス、ノイズのカップリングが発生しなくなります。
- RFI の生成を最小にするために、ドレインなど dv/dt が高いノードの配線の表面積及び長さはできるだけ小さくしてください。
- 容量結合ノイズや磁気結合ノイズを軽減するために、Y コンデンサ、フィードバック リターンなどの信号配線 (安定した配線) をドレインやトランスの下、任意の巻線のスイッチング側、出力整流ダイオードなどのノイズの大きいノード (dv/dt または di/dt が高いノード) の近く、またはそれにまたがって配置しないでください。
- 信号配線のバスは、出力コンデンサなどの AC スwitching 電流が流れる配線のバスと共有しないでください。グラウンド インピーダンス結合ノイズが発生しないように、コンデンサ パッドにスター接続する必要があります。

SOURCE ピンの銅パターンによるヒートシンクがを最大にします。

RTN 及び C4 (-) に接続された Y コンデンサ

PI-8585-082818

図 31. 上面と底面 - dv/dt または di/dt が高い回路の狭いループ エリア、部品配置、スパーク ギャップの位置を示す理想的なレイアウトの例 (図 19 と 20 を基準)

応用例

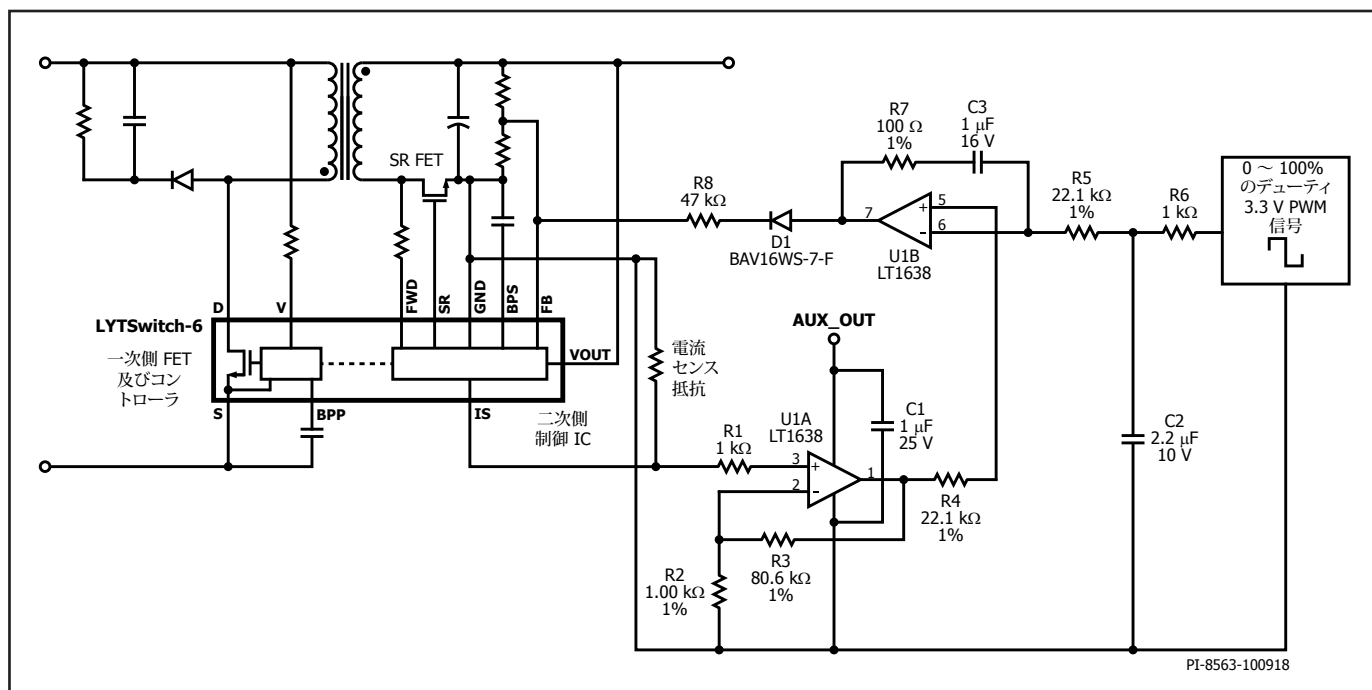


図 32. PWM 調光回路

PWM 調光回路

調光は、出力電流を検出して、その信号を増幅し、可変基準値と比較して、FEEDBACK (FB) ピンに出力可変信号を印可することで行われます。回路は、LED 負荷を駆動する場合などの定電流動作に制限されます。

出力電流は、スレッシュホールドが 35.9 mV (V_{REF}) の IS ピンによって検出されます。その信号は、その後非反転アンプ回路の R1、R2、R3、U1、及び C1 を通過します。ゲインは、R2 と R3 によって設定されます。非反転アンプの最大電圧は、PWM ソース電圧の最大値の 90% ~ 95% に制限する必要があります。

$$V_{REF} \times \left(\frac{R3}{R2} + 1 \right) = Derating_{FACTOR} \times VDD$$

ここで、

V_{REF} = IS ピンの基準電圧 (35.9 mV)

R3 = 非反転オペアンプのフィードバック抵抗 R_f

R2 = 非反転オペアンプの入力抵抗 R_i

VDD = PWM ソースの最大出力電圧

$Derating_{FACTOR}$ = VDD の 0.9 と 0.95 の間の値

R2 (1 kΩ) と仮定すると、R3 は以下ようになります。

$$R3 = R2 \times \left(\frac{Derating_{FACTOR} \times VDD - V_{REF}}{V_{REF}} \right)$$

オペアンプの出力 (ピン 1) は、R4 を介してプラス入力 (ピン 5) に接続します。マイナス入力 (ピン 6) への入力信号は、PWM ソース (BLE モジュール、MCU など) から供給されます。抵抗 R6 と C2 は PWM 信号を積分して DC バイアスを形成し、R5 を介してオペアンプに入力します。エラーアンプの出力 (ピン 7) は、D1 と R8 を介して FEEDBACK ピンに接続されます。抵抗 R7 と C3 はループの安定のために必要です。

最大負荷での起動 (定電流モード) では、PWM 出力は 100% に設定され、調光回路によってフィードバックループに電流が流入することを防止します。調光は、整流された PWM 出力が ($Derating_{FACTOR} \times VDD$) 基準値未満になると開始され、電流がフィードバックループに流入します。

フィードバック電圧は、電流が流入するに従って上昇します。これにより、通常は出力電圧が低下します。ただし、LED 負荷は定電圧であるため、電圧は固定され、代わりに出力電流が低下します。

電流流入ループは、100% から 0% までのステップ負荷が適用された場合に過電圧保護がトリガされないように、十分に遅くする必要があります。これは、R8 の値を大きくすることによって行われます。

また、ユニット間のばらつきの影響を軽減するために、低入力オフセットオペアンプを推奨します。ループへのノイズ干渉を防止するために、調光回路を IS ピンと FEEDBACK ピンの近くに配置することも重要です。

オペアンプへの供給 (AUX_OUT) は、出力系統または補助バイアス回路に直接接続できます。オペアンプの最大電圧定格を超えないようにしてください。

3-in-1 調光回路

図 32 にある PWM 回路は、PWM とアナログ調光をサポートします。抵抗による調光や 0 ~ 10 V の調光と互換性が必要な場合は、定電流源を形成する R9、R10、Q2、D2、及び U2 (図 33) を追加して達成で実現します。

これにより、可変抵抗入力が必要な可変 DC 信号に変換されます。

MOSFET Q1、C4、及び R11 は、AC 起動時にムラのない出力電流上昇プロファイルを実現するための追加のオプション部品です。

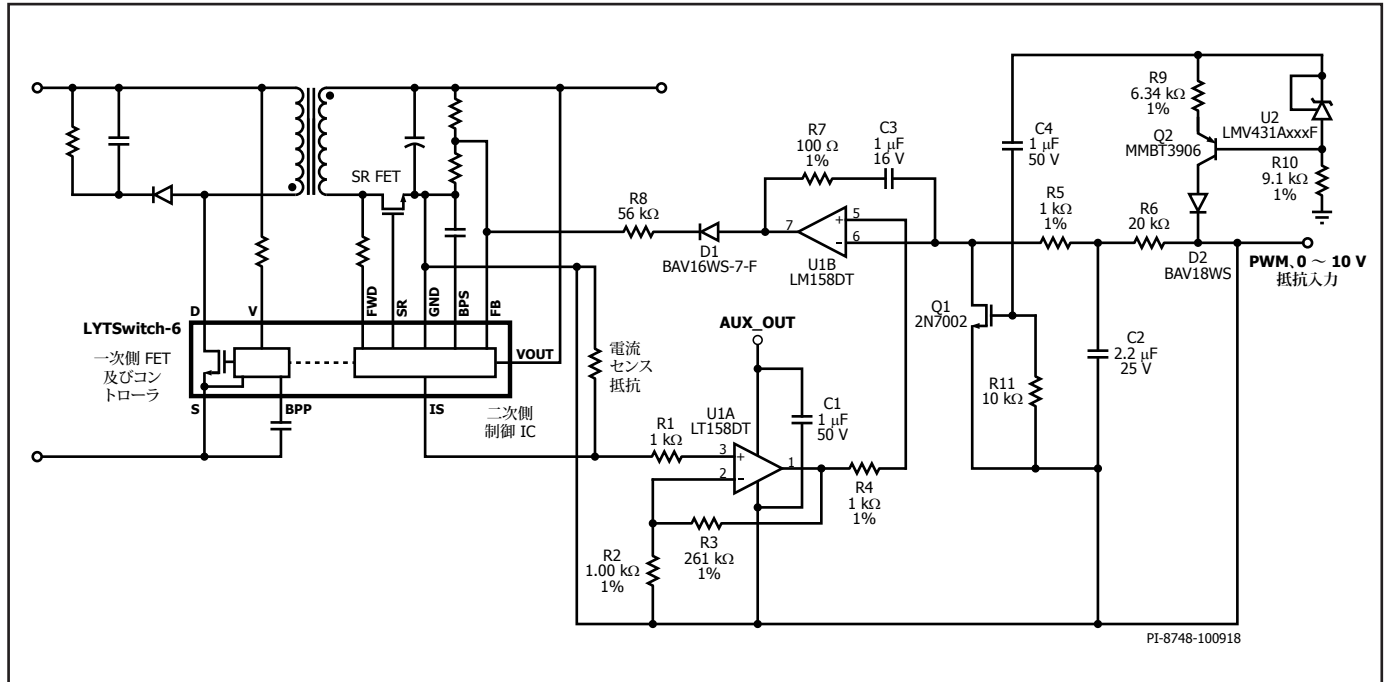


図 33. 3-in-1 調光回路

SR FET によるアプリケーション設計例

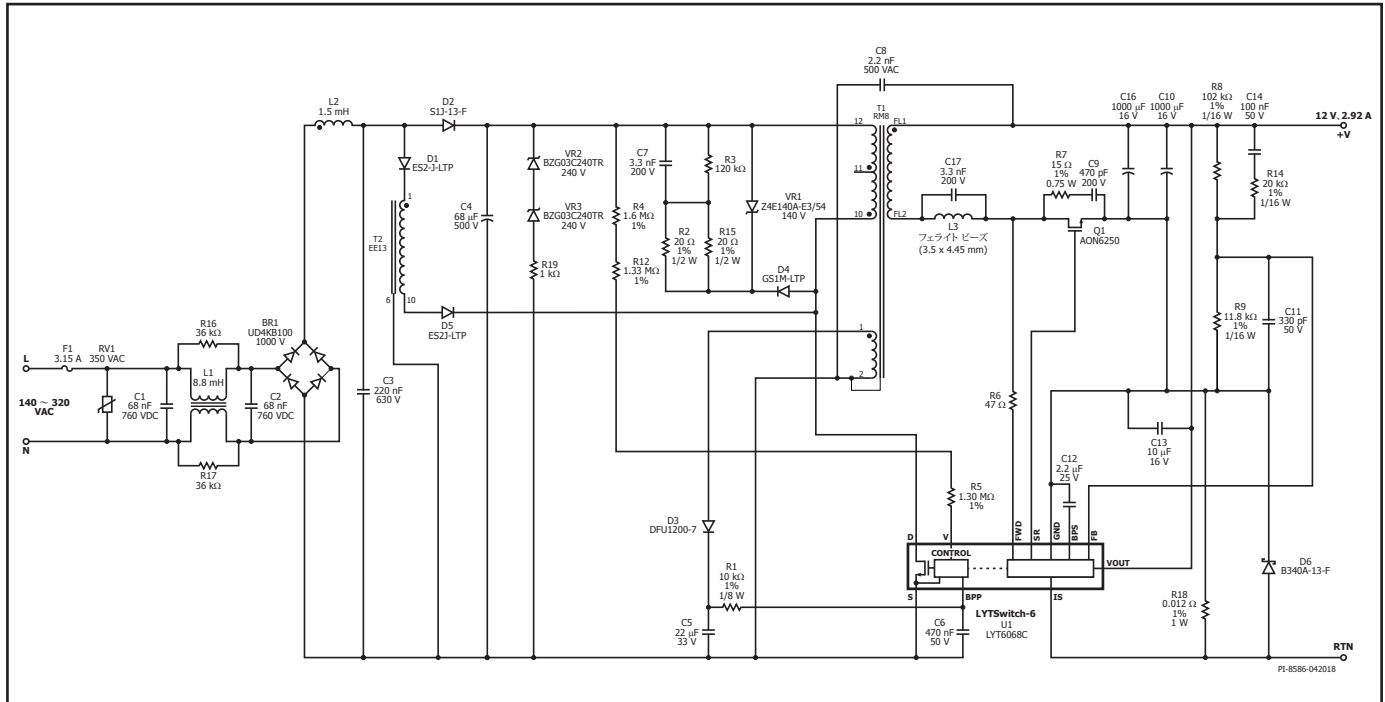


図 34. LYTSwitch-6 LYT6068C と同期整流を使用する場合のアプリケーション (DER-637, 35 W, 12 V, 2.92 A, 140 VAC ~ 320 VAC)

同期整流による高効率、35 W、12 V、ユニバーサル入力の LED バラスト用電源

図 34 に、LED 照明用途のワンコンバータ型効率改善回路を搭載する 35 W 絶縁型フライバック電源の回路を示します。この回路は、2.92 A の出力電流まで正確な電圧レギュレーションによって、12 V の定電圧を供給するように設計されています。これは、一般に RGB スマート照明などのマルチ LED ストリングにポストレギュレータを使用する用途で使用されます。シングル LED ストリングの用途では、12 V から 3 V までの出力で 2.92 A の正確なレギュレーションによって定電流を供給し、入力電圧変動に起因するリップルを防止します。この回路は高効率で、140 ~ 320 VAC の入力電圧範囲全体で正確な入力レギュレーションと負荷レギュレーションを実現し、力率 0.9 以上、230 VAC で 20% 未満の A-THD を達成するように最適化されています。

入力段

ヒューズ F1 には、重大な部品異常が発生した場合に入力電圧から回路を遮断するオープン回路保護機能があります。バリスタ RV1 はすべての電圧スパイクを安全なレベルにクランプして、入力トランジェントまたは入力サージによって発生する過電圧による損傷からヒューズの後に配置された回路を保護します。ブリッジダイオード BR1 は、AC 入力電圧を整流して、入力フィルタコンデンサ C3 と C4 で全波整流 DC 電圧を生成します。回路は C1、L1、C2、L2、及び C3 で構成される 2 段階の LC EMI フィルタを採用し、PFC 段とフライバックスイッチング段で生成されるディファレンシャルモードとコモンモードのノイズを抑制します。

一次側フライバックコンバータ

整流コンデンサ C4 は、入力リップル電圧をフィルタしてエネルギーを蓄積し、フライバック段に DC 電圧を供給します。トランス (T1) の一次巻線の一端は、整流コンデンサ (C4) のプラス端子に接続され、他端は LYTSwitch-6 IC (U1) の内蔵 650 V パワー MOSFET の DRAIN ピンに接続されます。コンデンサ C4 はディファレンシャル電流もフィルタして、伝導 EMI ノイズ

を低減します。D4、R2//R15、及び R3//C7 で構成される低価格 RCD 一次側クランプは、トランスの漏れインダクタンスによって LYTSwitch-6 IC 内蔵 MOSFET の DRAIN ピンと SOURCE ピンに発生する電圧スパイクを制限します。クランプツェナー VR1 は、320 VAC の最大負荷で起動する際のドレインスパイク電圧をクランプします。RCD 一次側クランプは、ラジエーション EMI と伝導 EMI も低減します。整流コンデンサ (C4) にかかる電圧は、INPUT OVERVOLTAGE ピン抵抗 (R4 と R12) を流れる電流に変換され、起動電圧と入力過電圧の検出に使用されます。過電圧スレッシュホールド (I_{OV+}) で過電圧スレッシュホールドが決まり、低電圧起動スレッシュホールド (I_{UV+}) でターンオン電圧が決まります。

LYTSwitch-6 IC は、最初に AC が印加された時に内部の高電圧電流源を使用して PRIMARY BYPASS ピンコンデンサ (C6) を充電してセルフスタートします。通常動作時、一次側ブロックには、トランス T1 の補助巻線から電源が供給されます。使用される PRIMARY BYPASS ピンコンデンサ C6 の値は、標準カレントリミットに対して 470 nF です。補助巻線 (またはバイパス巻線) の出力は、ダイオード D3 を経由して整流され、コンデンサ C5 を使用してフィルタされます。抵抗 R1 は、PRIMARY BYPASS ピンに供給される電流を制限します。

力率改善コンバータ

力率改善回路は、LYTSwitch-6 IC の DRAIN ピンに接続されるブロッキングダイオード (D1 と D5) と直列に接続されたインダクタ (T2) で構成されます。高力率は、不連続動作モード (DCM) で動作する Switched Valley-Fill Single Stage PFC (SVFS²PFC) 回路を使用して実現します。C3 の整流電圧が C4 の DC 電圧より小さい場合、DCM はインダクタ T2 からのスイッチング電流によって入力電流が形成されて、疑似的な正弦波が生成されます。これにより、力率が向上します。

MOSFET のオン時間中は、エネルギーが PFC インダクタ (T2) 及びフライバックトランス (T1) に蓄えられます。MOSFET のオフ時間中は、PFC とフ

ライバック インダクタンスの両方のエネルギーがフライバックトランス T1 を経由して二次側に供給されます。

ダイオード D2 は、AC 入力整流後の C3 を C4 から分離し、(特に低入力電圧の場合に) 整流コンデンサ C4 を充電するための電流パスを構成して効率を向上します。フリーホイーリング ダイオード D1 と D5 は、PFC インダクタンスに蓄えられたエネルギーを、MOSFET のターンオフ時間中に二次側に供給するパスを構成します。ダイオード D1 と D5 は、MOSFET のターンオフ時に PFC インダクタから誘導される共振リングング電圧に耐えるために直列に接続します。

無負荷時または軽負荷時に (10% 未満の負荷)、PFC インダクタ (T2) に蓄えられたエネルギーは、二次側負荷が必要とするよりも大きくなることあります。PFC インダクタからの過剰なエネルギーは整流コンデンサ C4 にリサイクルされて電圧レベルが増大します。整流コンデンサ C4 に接続されるツェナー抵抗クランプ (R19 と直列に接続された VR2 と VR3) は、電圧の上昇を安全なレベルに制限します。このツェナー クランプの電圧は、整流コンデンサ C4 の最大電圧定格の 500 V よりも小さくする必要があります。入力サージ電圧や過渡電圧が発生した場合は、過電圧によって IC がシャットダウンします。

二次側コンバータ

LYTSwitch-6 IC の二次側制御により、定出力電圧、定出力電流を提供します。トランスの二次側は SR FET Q1 によって整流され、出力コンデンサ C10 と C16 によってフィルタされます。SR FET に RC スナバ (R7 と C9) を追加すると、電圧ストレスが軽減されます。

IC の二次側は、FORWARD ピンを介した二次側巻線の順方向電圧または OUTPUT VOLTAGE ピンを介した出力電圧から自己給電されます。コンデンサ C13 は、LYTSwitch-6 IC (U1) の SECONDARY BYPASS ピンに接続され、内部回路をデカップリングします。

定電圧動作中の出力電圧レギュレーションは、ネットワーク分割回路抵抗 R8 と R9 を介して出力電圧を検出して行われます。R9 の電圧は FEEDBACK ピンで監視し、内部基準電圧 (1.265 V) と比較して正確なレギュレーションを維持します。バイパス コンデンサ C11 は FEEDBACK ピンと SECONDARY GROUND ピン間に配置され、高周波ノイズを除去します。このノイズは、フィードバック信号にカップリングされて、グルーブパルス現象などの不要な動作の原因になります。

定電流動作中の最大出力電流は、センス抵抗 R18 によって設定され、定電流レギュレーションを維持するために、センス抵抗の電圧が ISENSE ピンで 35.9 mV の内部基準スレッシュホールドと比較されます。電流センス抵抗 R18 と並列に接続された D6 によって、ISENSE ピンと SECONDARY GROUND ピン間の電圧がクランプされ、出力の短絡状態中の出力コンデンサからの高電流サージから IC を保護します。

補助巻線と 3-in-1 DALI 調光によるアプリケーション 設計例

図 35 に、DER-740 の回路図を示します。詳細については、「DER-740」を参照してください。

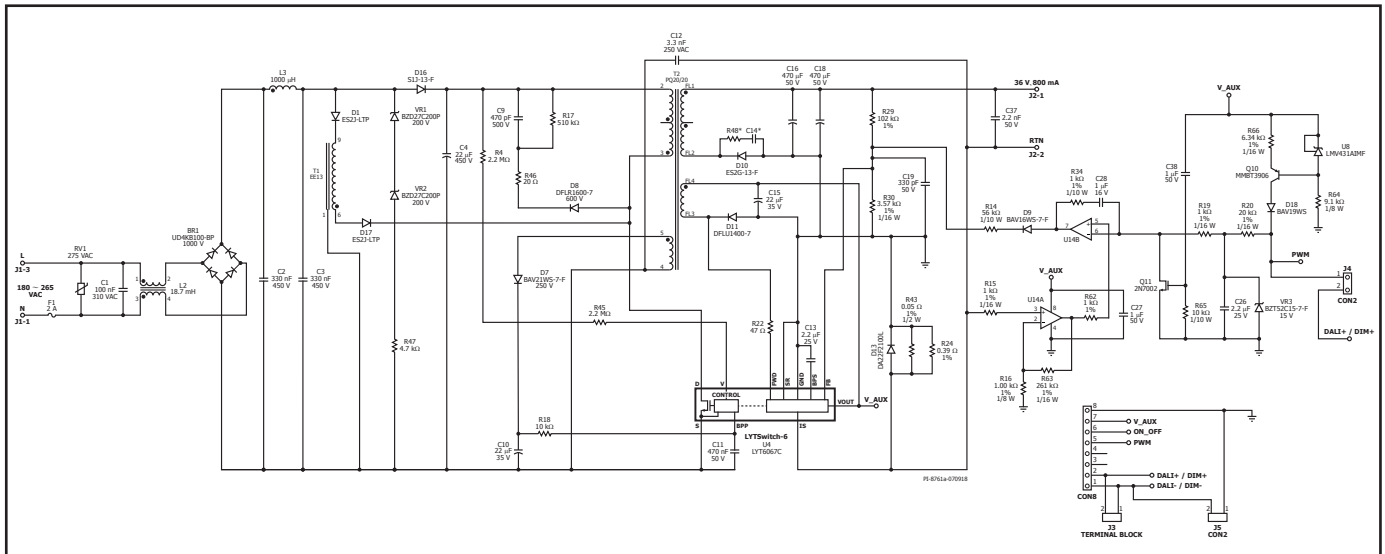


図 35. DER-740 の回路図

付録 – LYTSwitch-6 と SVFS²PFC の回路分析

概要

SVFS²PFC は、Switched Valley-Fill, Single-Stage Power Factor Correction (ワンコンバータ型スイッチ方式部分平滑力率改善) を表します。回路は、小さなコンデンサ C_{FILTER} 、ブロッキング ダイオード D_{PFC} と D_{BLOCK} 、及び PFC インダクタ L_{PFC} を LYTSwitch-6 フライバック回路の前に配置して構成します。

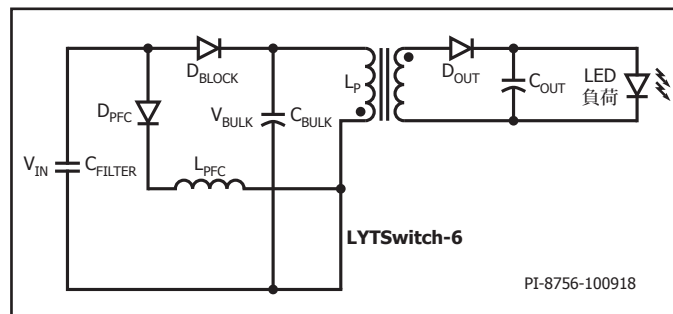


図 36. 簡素化された SVFS²PFC の回路図

この回路の主な利点は、力率 0.9 以上を達成することに加えて、低周波出力電流リップルが除去されることです (図 37)。

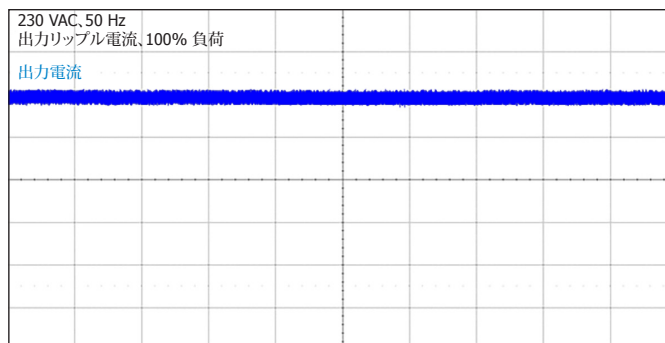


図 37. LYTSwitch-6 + SVFS²PFC を使用する出力電流リップルのプロファイル

SVFS²PFC 回路分析

前提:

- フライバックは DCM または CCM で動作します。
- PFC インダクタは DCM で機能します。このモードは、優れた力率を達成するために必要です。
- 整流された入力電圧 (V_{IN}) は、ゼロクロス付近にあります。
- バルク電圧コンデンサは、すでに予備充電されています。

t₀ ~ t₁ – 一次側 FET がオンになる

PFC 電流 I_{PFC}

FET がオンになると、PFC ダイオード D_{PFC} は順方向にバイアスされます。電流は入力から PFC インダクタに流れます。PFC 電流は、以下の式で定義され、上昇します。

$$\frac{di_{PFC}}{dt(t_0-t_1)} = \frac{V_{IN}}{L_{PFC}}$$

DCM では、ピーク PFC 電流は以下のように流れます。

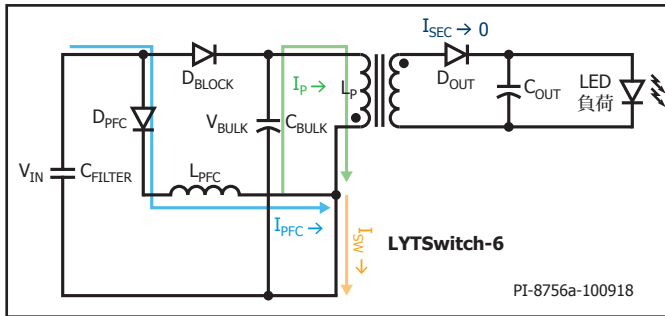


図 38. t₀ ~ t₁ の電流

$$I_{PFC(PEAK)}, t_0 - t_1 = \frac{V_{IN}}{L_{PFC}} \times t_{ON}$$

一次巻線電流 I_P

トランスの一次側電流スロープは、次のとおりです。

$$\frac{di_P}{dt(t_0-t_1)} = \frac{V_{BULK}}{L_P}$$

ピーク一次巻線電流 I_P は、次のとおりです。

$$I_{P(PEAK)}, t_0 - t_1 = \frac{V_{BULK}}{L_P} \times t_{ON}$$

LYTSwitch-6 のスイッチング電流 I_{SW}

スイッチング電流 I_{SW} は、PFC インダクタ I_{PFC} からの電流とトランス巻線 I_P からの電流の合計です。

$$I_{SW(t_0-t_1)} = I_{PFC} + I_P$$

PFC 電流の寄与分は、この時点で整流された入力 V_{IN} が非常に低いため、フライバックの電流より小さくなります。

V_{IN} が増加するに従って、フライバック電流が減少し、PFC 電流が増加します。

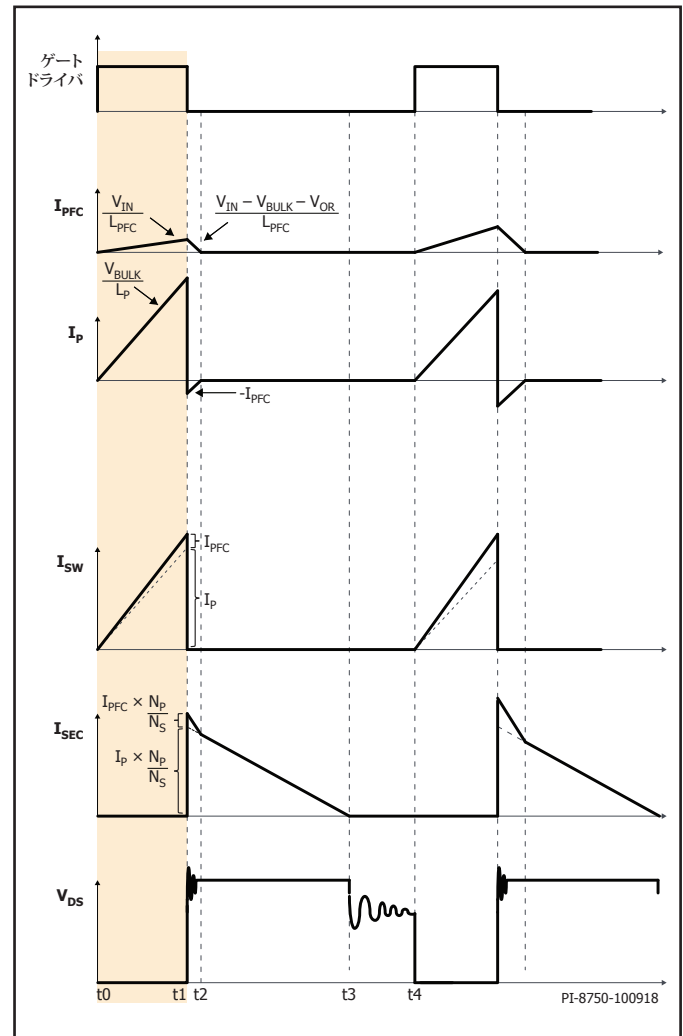


図 39. SVFS²PFC のタイミング図、t₀ ~ t₁

t1 ~ t2 - 一次側 FET がオフになる

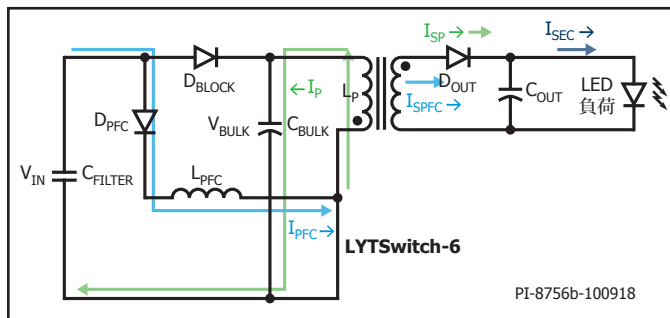


図 40. t1 ~ t2 の電流

PFC 電流 I_{PFC}

FET がオフになると、PFC に蓄積されたエネルギーはフライバックトランスを介して二次側に流れます。同時に、電流はトランス巻線を介して整流コンデンサに流れます。

一次巻線に流れる PFC 電流のスロープは、次のように定義されます。

$$\frac{di_{PFC}}{dt(t1-t2)} = \frac{V_{IN} - V_{BULK} - V_{OR}}{L_{PFC}}$$

二次側に換算された I_{SPFC} は、次のとおりです。

$$I_{SPFC(t1-t2)} = \frac{N_P}{N_S} \times I_{PFC}$$

一次巻線電流 I_P

フライバックとは異なり、電流はフライバックトランス巻線から整流コンデンサに戻ります。電流は、逆方向に流れるためにマイナスで、PFC 電流に等しくなります。

二次側ダイオード電流 I_{SEC}

二次側ダイオードは順方向にバイアスされ、LED 負荷に電流を供給します。ダイオード電流には、フライバックトランスに蓄積されるエネルギーと PFC インダクタからのエネルギーの両方の電流が含まれます。整流された入力電圧が低い場合、二次側ダイオード電流は主にフライバックトランスから流れます。整流された入力電圧が上昇するに従って、PFC 電流の寄与分が増加し、フライバックトランスの寄与分が減少します。

$$I_{SEC(t1-t2)} = \frac{N_P}{N_S} \times (I_{PFC} + I_P)$$

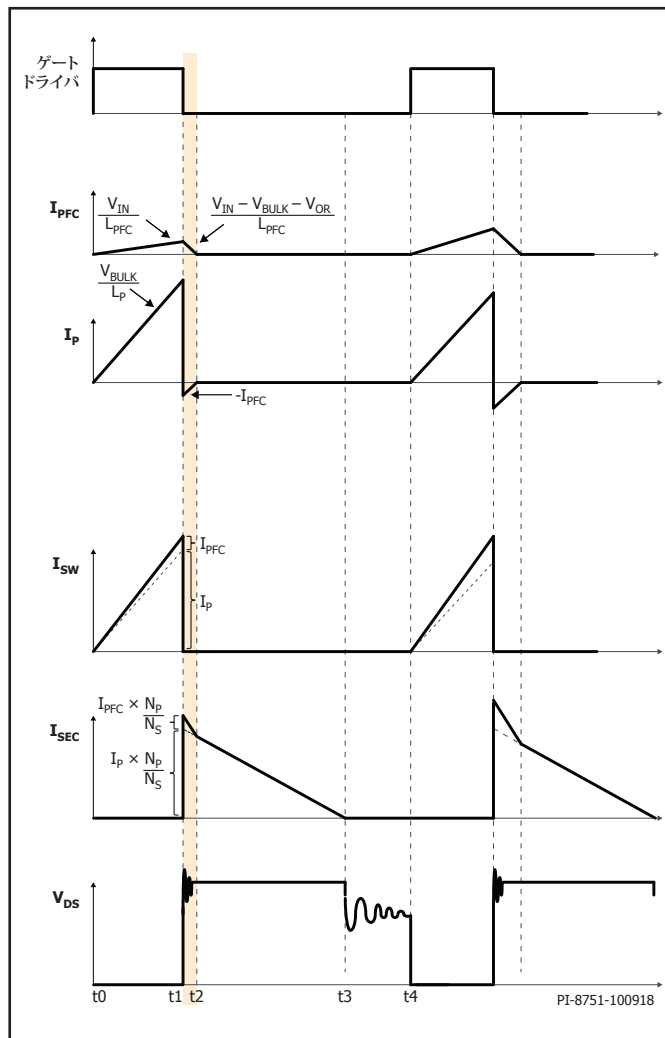


図 41. SVFS-PFC のタイミング図、t1 ~ t2

t2 ~ t3 - PFC のエネルギーが完全に放電される

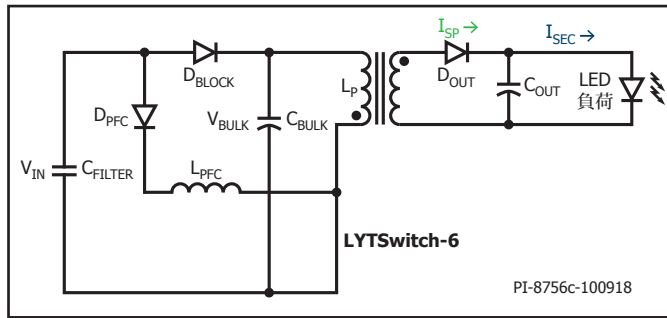


図 42. t2 ~ t3 の電流

PFC 電流 I_{PFC}

PFC インダクタは DCM で動作するように設計されています。時間が t2 の場合、PFC インダクタに蓄積されたエネルギーは使い果たされています。

一次巻線電流 I_p

一次巻線には、これ以上電流は流れません。

二次側ダイオード電流 I_{SEC}

ダイオード電流には、フライバックトランスに蓄積されるエネルギーのみの電流が含まれます。

$$I_{SEC(t2-t3)} = \frac{N_p}{N_s} \times I_p$$

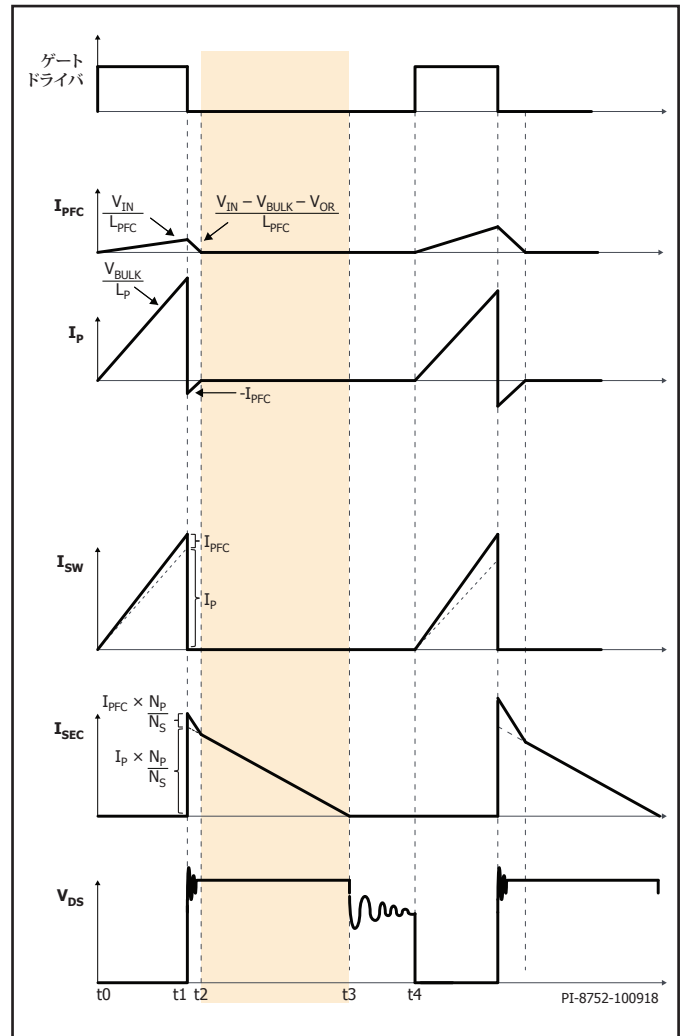


図 43. SVFS²PFC のタイミング図、t2 ~ t3

t3 ~ t4 - PFC のエネルギーが完全に放電される

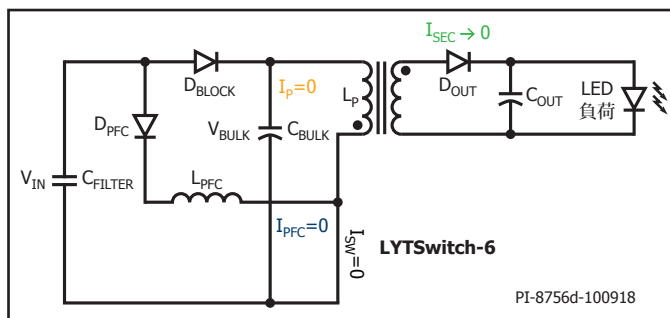


図 44. t3 ~ t4 に電流は流れない

t3 ~ t4 の時間は、デバイスが不連続動作モード (DCM) で動作している場合にのみ発生します。

次のスイッチング サイクルにおける変化

次のスイッチング サイクルでは、整流された入力電圧 V_{IN} が高くなります。PFC インダクタの式を確認すると、ピーク PFC 電流も高くなり、一次巻線電流は低くなるのがわかります。

1 つの入力サイクルの統合波形

概要

- PFC 電流 I_{PFC} は入力電圧の波形に追従します。
- 一次巻線電流は、ゼロクロスで最大になり、90° 位相角で最小になります。
- ドレイン電流は、ゼロクロスで最小になり、入力とともに増大します。
- スwitching 周波数は、ゼロクロスで最小になり、入力とともに増大します。

力率を達成する方法

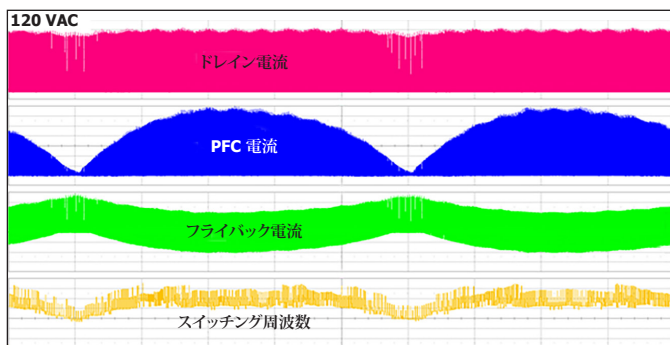


図 45. 電流波形, 1 入力サイクル

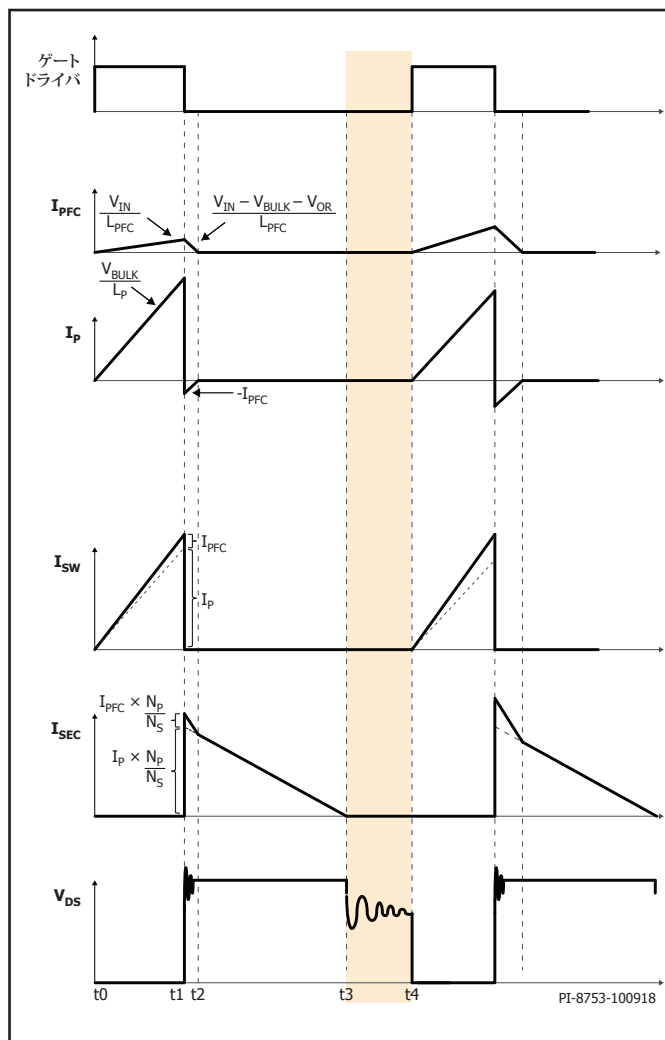


図 46. SVFS²PFC のタイミング図, t3 ~ t4

図 47 を参照すると、入力電流は PFC 電流 I_{PFC} と I_{DBLOCK} の合計になります。後者は、整流コンデンサが入力から取り込む電流です。この関係がスイッチ方式部分平滑の基礎になります。整流コンデンサが入力から電流を取り込んでいないときは、必ず PFC 回路が「谷」を埋めます。

図 48 に、非力率フライバック コンバータの標準的な入力電流波形を示します。この場合は、整流コンデンサが回路に電力を供給します。コンバータが入力から電流を取り込むのは、バルク電圧が入力電圧を下回る時のみです。標準的な導通時間は 3 ms です。

SVFS²PFC 回路では、PFC 回路が力率を劇的に向上する疑似的な正弦波の入力電流を生成します (図 49)。

また、より高い入力電圧における力率と THD はさらに良くなります (図 50)。これは、スイッチング サイクルごとに PFC 回路が整流コンデンサにエネルギーを再充電するためです。高入力電圧で、PFC 回路から整流コンデンサに供給されるエネルギーがコンバータが取り込むエネルギーより大きい場合は、バルク電圧が増大します。バルク電圧が常に入力電圧より高い設

計もあります (図 51)。これは、入力電流が入力電圧に追従する PFC 電流に完全に依存することを意味し、力率が向上します。

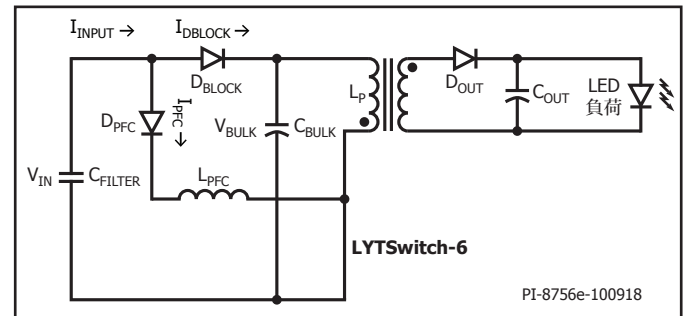


図 47. 入力電流、SVFS²PFC

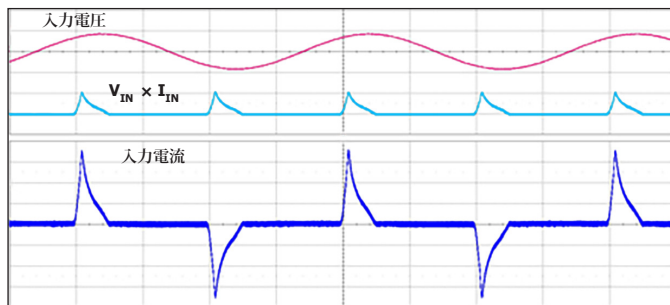


図 48. 入力電流波形、標準的な非力率フライバック、120 VAC

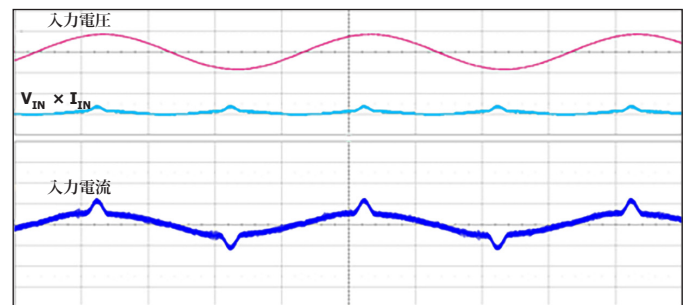


図 49. 入力電流波形、SVFS²PFC + LYTSwitch-6 フライバック 120 VAC

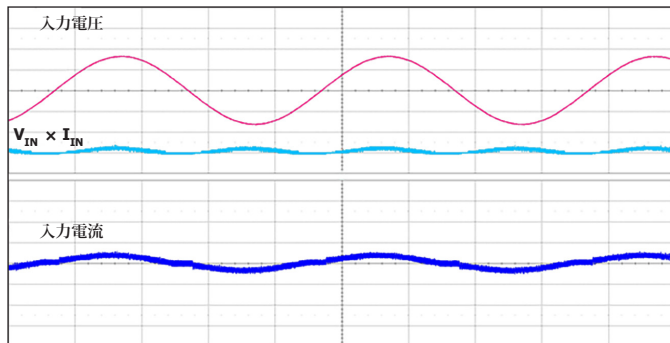


図 50. 入力電流波形、SVFS²PFC + LYTSwitch-6 フライバック 230 VAC

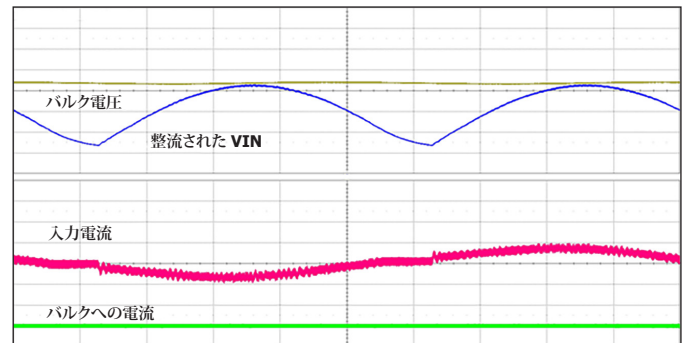


図 51. バルク電圧波形、SVFS²PFC + LYTSwitch-6 フライバック 230 VAC

改訂	注	日付
A	初回リリース。	2018年10月
B	2ページの図2を更新。	2019年1月

最新の情報については、弊社ウェブサイト **www.power.com** をご覧ください。

Power Integrations は、信頼性や生産性を向上するために、いつでも製品を変更する権利を保有します。Power Integrations は、ここに記載した機器または回路を使用したことから生じる事柄について責任を一切負いません。Power Integrations は、ここでは何らの保証もせず、商品性、特定目的に対する適合性、及び第三者の権利の非侵害性の黙示の保証などが含まれますがこれに限定されず、すべての保証を明確に否認します。

特許情報

ここで例示した製品及びアプリケーション (製品の外付けトランス構造と回路も含む) は、米国及び他国の特許の対象である場合があります。また、Power Integrations に譲渡された米国及び他国の出願中特許の対象である可能性があります。Power Integrations が保有する特許の全リストは、www.power.com に掲載されています。Power Integrations は、www.power.com/ip.htm の定めるところに従って、特定の特許権に基づくライセンスをお客様に許諾します。

生命維持に関する方針

Power Integrations の社長の書面による明示的な承認なく、Power Integrations の製品を生命維持装置またはシステムの重要な構成要素として使用することは認められていません。ここで使用した用語は次の意味を持つものとします。

- 「生命維持装置またはシステム」とは、(i) 外科手術による肉体への埋め込みを目的としているか、または (ii) 生命活動を支援または維持するものであり、かつ (iii) 指示に従って適切に使用した時に動作しないと、利用者に深刻な障害または死をもたらすと合理的に予想されるものです。
- 「重要な構成要素」とは、生命維持装置またはシステムの構成要素のうち、動作しないと生命維持装置またはシステムの故障を引き起こすか、あるいは安全性または効果に影響を及ぼすと合理的に予想される構成要素です。

Power Integrations, Power Integrations ロゴ、CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, SCALE, SCALE-1, SCALE-2, SCALE-3, 及び SCALE-iDriver は Power Integrations, Inc. の商標です。その他の商標は、各社の所有物です。©2019, Power Integrations, Inc.

Power Integrations の世界各国の販売サポート担当

世界本社 5245 Hellyer Avenue San Jose, CA 95138, USA 代表: +1-408-414-9200 カスタマー サービス: 上記以外の国: +1-65-635-64480 南北アメリカ: +1-408-414-9621 電子メール: usasales@power.com	ドイツ (AC-DC/LED 販売) Einsteinring 24 85609 Dornach/Aschheim Germany 電話: +49-89-5527-39100 ドイツ (ゲートドライバ販売) HellwegForum 1 59469 Ense Germany 電話: +49-2938-64-39990 電子メール: igbt-driver.sales@power.com	イタリア Via Milanese 20, 3rd.Fl. 20099 Sesto San Giovanni (MI) Italy 電話: +39-024-550-8701 電子メール: eurossales@power.com 日本 〒222-0033 神奈川県横浜市 港北区新横浜 1-7-9 友泉新横浜一丁目ビル 電話: +81-45-471-1021 電子メール: japansales@power.com 韓国 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 電話: +82-2-2016-6610 電子メール: koreasales@power.com	シンガポール 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 電話: +65-6358-2160 電子メール: singapore-sales@power.com 台湾 5F, No. 318, Nei Hu Rd., Sec.1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 電話: +886-2-2659-4570 電子メール: taiwansales@power.com 英国 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 電話: +44 (0) 7823-557484 電子メール: eurossales@power.com
中国 (上海) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 電話: +86-21-6354-6323 電子メール: chinasales@power.com	インド #1, 14th Main Road Vasanthanagar Bangalore-560052 India 電話: +91-80-4113-8020 電子メール: indiasales@power.com		
中国 (深圳) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 電話: +86-755-8672-8689 電子メール: chinasales@power.com			